

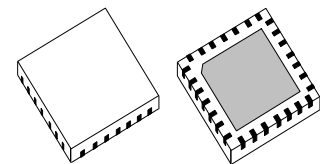
### EIGENSCHAFTEN

- ◆ Echtzeitsystem für Drehzahlen bis 120 000 U/min
- ◆ Integrierte Hallsensoren mit automatischer Offsetkompensation
- ◆ 4-fach Sensoranordnung für fehlertolerante Justage
- ◆ Amplitudenregelung für optimalen Arbeitspunkt
- ◆ Interpolator mit 4096 Winkelschritten / Auflösung besser 0.1°
- ◆ Auflösung, Hysterese, Flankenabstand, Nullposition und Drehrichtung programmierbar
- ◆ Inkrementelle Ausgabe der Sensorposition bis 8 MHz Flankenrate
- ◆ RS422-kompatible Encodersignale AB mit Index Z
- ◆ Kommutierungssignale UVW für EC-Motoranwendungen
- ◆ Serielles Interface zur Datenausgabe und Konfigurierung
- ◆ SSI-kompatibler Ausgabemodus
- ◆ Integrierte ZAP-Dioden für Baustein-Setup und OEM-Daten, über serielles Interface programmierbar
- ◆ Signalfehler (z. B. Magnetverlust) auch über serielles Interface auslesbar
- ◆ Erweiterter Temperaturbereich von -40 bis +125 °C

### ANWENDUNGEN

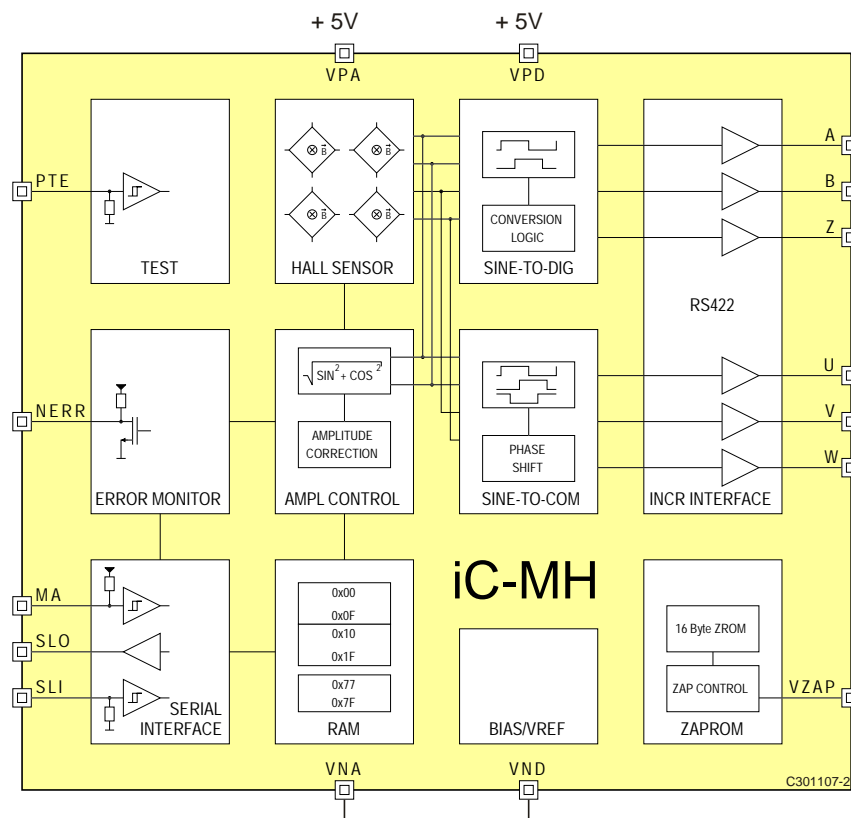
- ◆ Digitale Winkelsensoren 0...360°
- ◆ Inkrementelle Winkel-Encoder
- ◆ Absoluter Winkel-Encoder
- ◆ Bürstenlose Motoren
- ◆ Motor-Feedback
- ◆ Drehzahlmessung

### GEHÄUSE



QFN28 5 x 5 mm<sup>2</sup>

### BLOCKSCHALTBILD



### KURZBESCHREIBUNG

Der 12-Bit Winkel-Encoder iC-MH ist ein Positionssensor mit integrierten Hall-Sensoren zur Abtastung eines Permanentmagneten. Die Signalaufbereitung erzeugt amplitudenkonstante Sinus- und Cosinusspannungen, die zur Winkelberechnung verwendet werden. Die Auflösung kann programmiert werden bis maximal 4096 Winkelschritte pro Umdrehung.

Die integrierte serielle Schnittstelle erlaubt die Positionsdaten auch mehrerer vernetzter Sensoren seriell auszulesen. Eingebettet in das Datenprotokoll kann der integrierte Speicher beschrieben werden.

Die inkrementelle Schnittstelle mit den Pins A, B und Z stellt Quadratursignale mit bis zu 8 MHz Flankenrate zur Verfügung. Die Interpolation kann mit maximaler Auflösung bei einer Drehzahl von 120 000 U/min erfolgen. Die Lage des Index-Impulses Z ist einstellbar.

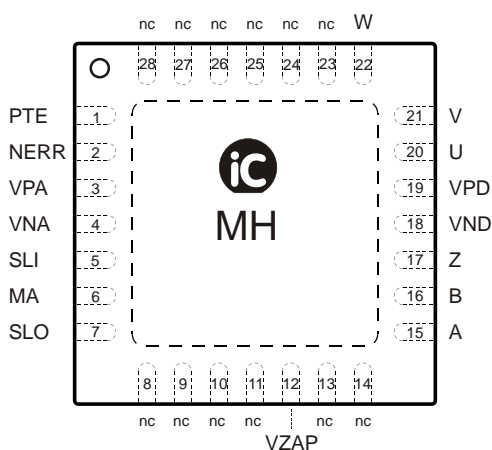
Die Kommutierungsschnittstelle mit den Signalen U, V und W stellt 120° phasenverschobene Signale zur Blockkommutierung bereit. Der Nullpunkt der Kommutierungssignale ist in Inkrementen von 1,875° über 360° frei definierbar. Die Kommutierungssignale sind für EC-Motoren mit 1 und 2 Polpaaren verfügbar.

Die RS422-kompatible Ausgänge der Inkrementalschnittstelle und der Kommutierungsschnittstelle sind im Ausgangsstrom und der Slew-Rate programmierbar.

In Verbindung mit einem rotierenden Permanentmagneten stellt der Baustein iC-MH einen Ein-Chip-Encoder dar. Die komplette Konfiguration kann im internen Parameter-ROM mit Zapping-Dioden abgelegt werden. Der integrierte Programmieralgorithmus übernimmt das Beschreiben der ROM-Struktur.

### GEHÄUSE QFN28 5 x5 mm<sup>2</sup> nach JEDEC MO-220-VHHD-1

#### PIN-BELEGUNG



#### PIN-FUNKTIONEN

Nr.	Name	Funktion
1	PTE	Test Enable Pin
2	NERR	Fehlerausgang (active low)
3	VPA	+5 V Versorgungsspannung (analog)
4	VNA	Masse (analog)
5	SLI	Serieller Dateneingang
6	MA	Takteingang
7	SLO	Serieller Datenausgang
8-11	nc	not connected
12	VZAP	Zener-Zapping Programmierspannung
13,14	nc	not connected
15	A	Inkremental A (+ NU)
16	B	Inkremental B (+ NV)
17	Z	Index Z (+ NW)
18	VND	Masse (digital)
19	VPD	+5 V Versorgungsspannung (digital)
20	U	Kommutierung U (+ NA)
21	V	Kommutierung V (+ NB)
22	W	Kommutierung W (+ NZ)
23-28	nc	not connected
TP	TP	Thermal-Pad

Das *Thermal-Pad* auf der Gehäuseunterseite ist in geeigneter Weise mit VNA zu verbinden. Orientierung des Aufdrucks (iC MH CODE ...) freibleibend.

### GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen			Einh.
				Min.	Max.	
G001	V()	Versorgungsspannung an VPA, VPD		-0.3	6	V
G002	V(VZAP)	Zap Spannung		-0.3	8	V
G003	V()	Spannung an A, B, Z, U, V, W, MA, SLO, SLI, NERR, PTE		-0.3	6	V
G004	I()	Strom in VPA		-10	20	mA
G005	I()	Strom in VPD		-20	200	mA
G006	I()	Strom in A, B, Z, U, V, W		-100	100	mA
G007	I()	Strom in MA, SLO, SLI, NERR, PTE		-10	10	mA
G008	Vd()	ESD-Prüfspannung an allen Pins	HBM, 100 pF entladen über 1.5 kΩ		2	kV
G009	Ts	Lagertemperatur		-40	150	°C
G010	Tj	Chip-Temperatur		-40	135	°C

### THERMISCHE DATEN

Betriebsbedingungen: VPA, VPD = 5 V ±10 %

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.	Typ	Max.	Einh.
T01	Ta	Zulässiger Umgebungstemperaturbereich		-40		125	°C
T02	Rthja	Thermischer Widerstand Chip / Umgebung	Lötmontage auf PCB, <i>Thermal-Pad</i> an ca. 2 cm <sup>2</sup> Kühlfläche		40		K/W

## KENNDATEN

Betriebsbedingungen:

VPA, VPD = 5 V  $\pm$  10 %, Tj = -40...125 °C, IBM auf 200  $\mu$ A justiert, 4 mm NdFeB Magnet, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
<b>Allgemeines</b>							
001	V(VPA, VPD)	Zulässige Versorgungsspannung		4.5		5.5	V
002	I(VPA)	Versorgungsstrom in VPA		3		8	mA
003	I(VPD)	Versorgungsstrom in VPD	PRM = '0', ohne Last	5		15	mA
004	I(VPD)	Versorgungsstrom in VPD	PRM = '1', ohne Last	2		10	mA
005	Vc(hi)	Klemmspannung hi	Vc(hi) = V() - VPD, I() = 1 mA, Pins MA, SLI, SLO, PTE, NERR	0.4		1.5	V
006	Vc(lo)	Klemmspannung lo	I() = -1 mA	-1.5		-0.3	V
<b>Hall Sensor und Signalaufbereitung</b>							
101	Hext	Magnetische Betriebsfeldstärke	bezogen auf die Chipoberfläche	20		100	kA/m
102	fmag	Magnetische Signalfrequenz bzw. Drehzahl des Magneten				2 120 000	kHz rpm
103	dsens	Durchmesser Hallsensorkreis			2		mm
104	xdis	Zulässiger Versatz Mittelpunkt Magnet zu Mittelpunkt Chip				0.2	mm
105	xpac	Versatz Mittelpunkt Gehäuse zu Mittelpunkt Chip	QFN28 Gehäuse	-0.2		0.2	mm
106	$\phi$ pac	Verdrehung Chip im Gehäuse	QFN28 Gehäuse	-3		+3	Deg
107	hpac	Abstand Chipoberfläche zu Gehäuseoberfläche	QFN28 Gehäuse		0.4		mm
108	Vos	Abgleichbereich Offsetspannung am Ausgang	VOSS oder VOSC = 0x7F			-55	mV
109	Vos	Abgleichbereich Offsetspannung am Ausgang	VOSS oder VOSC = 0x3F	55			mV
110	Vopt	optimale differentielle Ausgangsspannung	Vopt = Vpp(PSIN) + Vpp(NSIN), ENAC = '0', siehe Bild 6		4		Vpp
<b>Amplitudenregelung</b>							
201	Vampl	geregelte differentielle Ausgangsspannung	Vampl = Vpp(PSIN) + Vpp(NSIN), ENAC = '1', siehe Bild 6	3.2		4.8	Vpp
202	Vratio	Abgleichbereich Amplitudenverhältnis	Vratio = Vpp(PSIN) / Vpp(PCOS)	1.09			
203	Vratio	Abgleichbereich Amplitudenverhältnis	Vratio = Vpp(PSIN) / Vpp(PCOS)			0.91	
204	tampl	Einschwingzeit Amplitudenregelung	$\pm$ 10 %			300	$\mu$ s
205	Vae(lo)	Schwelle Amplitudenfehler MINERR	Vpp(PSIN) + Vpp(NSIN)	1.2		2.8	Vpp
206	Vae(hi)	Schwelle Amplitudenfehler MAXERR	Vpp(PSIN) + Vpp(NSIN)	5.0		5.8	Vpp
<b>Bandgap/Referenz</b>							
401	Vbg	Bandgap Spannung		1.2	1.25	1.3	V
402	Vref	Referenz Spannung		45	50	55	%VPA
403	libm	Abgleichbereich Biasstrom	CIBM = 0x0 CIBM = 0xF Biasstrom abgeglichen	-370 -220	-200	-100 -180	$\mu$ A $\mu$ A $\mu$ A
404	VPDon	Einschaltsschwelle VPD, Systemfreigabe	V(VPD) - V(VND), Spannung zunehmend	3.7	4.0	4.3	V
405	VPDoff	Ausschaltsschwelle VPD, Systemreset	V(VPD) - V(VND), Spannung abnehmend	3	3.5	3.8	V
406	VPDhys	Hysterese Systemfreigabe		0.35			V
407	Vosr	Referenzspannung Offsetkompensation		480	500	520	mV

### KENNDATEN

Betriebsbedingungen:

 VPA, VPD = 5 V ± 10 %, T<sub>j</sub> = -40...125 °C, IBM auf 200µA justiert, 4 mm NdFeB Magnet, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
<b>Takterzeugung</b>							
501	f()sys	Systemtakt	Referenz Biasstrom abgeglichen	0.85	1.0	1.15	MHz
502	f()sdc	Takt Sinus Digital Wandler	Referenz Biasstrom abgeglichen	14	16	18	MHz
<b>Wandlerkern</b>							
601	RESsdc	Auflösung Sinus Digital Wandler			12		Bit
602	AAabs	Absolute Wandlergenauigkeit	V <sub>pp</sub> () = 4 V, nach erfolgtem Abgleich	-0.35		0.35	Deg
603	AArel	Relative Wandlergenauigkeit	bezogen auf Ausgangsperiode an A, B, mit CFGRES = 0x80, siehe Bild 17	-10		10	%
604	f()ab	Frequenz an A, B	CFGMTD = '0' CFGMTD = '1'		0.5 2.0		MHz MHz
605	REScom	Auflösung Kommutierungswandler			1.875		Deg
606	AAabs	Absolute Genauigkeit Kommutierungswandler		-0.5		0.5	Deg
<b>Digitalsignale Serielle Schnittstelle: MA, SLO, SLI</b>							
701	V <sub>s</sub> (SLO)hi	Sättigungsspannung High	V(SLO) = V(VPD) - V(), I(SLO) = -4 mA			0.4	V
702	V <sub>s</sub> (SLO)lo	Sättigungsspannung Low	I(SLO) = 4 mA gegen VND			0.4	V
703	I <sub>sc</sub> (SLO)hi	Kurzschlussstrom High	V(SLO) = V(VND), 25 °C	-80	-50		mA
704	I <sub>sc</sub> (SLO)lo	Kurzschlussstrom Low	V(SLO) = V(VPD), 25 °C		50	80	mA
705	tr(SLO)	Anstiegszeit SLO	CL = 50 pF			60	ns
706	tf(SLO)	Abfallszeit SLO	CL = 50 pF			60	ns
707	V <sub>t</sub> ()hi	Schwellspannung High MA, SLI				2	V
708	V <sub>t</sub> ()lo	Schwellspannung Low MA, SLI		0.8			V
709	V <sub>t</sub> ()hys	Schwellspannungshysterese MA, SLI		150	250		mV
710	I <sub>pd</sub> (SLI)	Pull-Down Strom 30 µA SLI	V() = 1 V...V(VPD)	6	30	60	µA
711	I <sub>pu</sub> (MA)	Pull-Up Strom 30 µA MA	V() = 0 V...V(VPD)-1 V	-60	-30	-6	µA
712	f()MA	Zulässige Frequenz an MA				10	MHz
<b>Zapping und Test</b>							
801	V <sub>t</sub> ()hi	Schwellspannung High VZAP, PTE	gegen VND			2	V
802	V <sub>t</sub> ()lo	Schwellspannung Low VZAP, PTE	gegen VND	0.8			V
803	V <sub>t</sub> ()hys	Schwellspannungshysterese	V <sub>t</sub> ()hys = V <sub>t</sub> ()hi - V <sub>t</sub> ()lo	150	250		mV
804	V <sub>t</sub> ()nozap	Schwellspannung Nozap VZAP	V() = V(VZAP) - V(VPD), V(VPD) = 5 V ± 5 %, bei Chiptemperatur 27 °C	0.8			V
805	V <sub>t</sub> ()zap	Schwellspannung Zap VZAP	V() = V(VZAP) - V(VPD), V(VPD) = 5 V ± 5 %, bei Chiptemperatur 27 °C			1.2	V
806	V()zap	Spannung zum Zappen	PROGZAP = '1'	6.9	7.0	7.1	V
807	V()zpd	Diodenspannung gezappt				2	V
808	V()uzpd	Diodenspannung ungezappt		3			V
809	R <sub>pd</sub> ()VZAP	Pull-Down Widerstand an VZAP	V() = 0 V...V(VPD)	30		55	kΩ
<b>Fehlermeldeausgang NERR</b>							
901	V <sub>t</sub> ()hi	Eingangsschwellspannung High	gegen VND			2	V
902	V <sub>s</sub> ()lo	Sättigungsspannung Low	I() = 4 mA gegen VND			0.4	V
903	V <sub>t</sub> ()lo	Eingangsschwellspannung Low	gegen VND	0.8			V
904	V <sub>t</sub> ()hys	Eingangshysterese	V <sub>t</sub> ()hys = V <sub>t</sub> ()hi - V <sub>t</sub> ()lo	150	250		mV
905	I <sub>pu</sub> (NERR)	Pull-up Strom 300 µA	V(NERR) = 0...VPD - 1 V	-700	-300	-80	µA
906	I <sub>sc</sub> ()lo	Kurzschlußstrom Low NERR	V(NERR) = V(VPD), 25 °C		50	80	mA
907	tf(NERR)	Abfallszeit NERR	CL = 50 pF			60	ns

### KENNDATEN

Betriebsbedingungen:

VPA, VPD = 5 V ± 10 %, T<sub>j</sub> = -40...125 °C, IBM auf 200µA justiert, 4 mm NdFeB Magnet, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
<b>Leitungstreiber</b>							
P01	Vs()hi	Sättigungsspannung hi	Vs() = VPD - V(); CFGDR(1:0) = 00, I() = -4 mA CFGDR(1:0) = 01, I() = -50 mA CFGDR(1:0) = 10, I() = -50 mA CFGDR(1:0) = 11, I() = -20 mA			200 700 700 400	mV mV mV mV
P02	Vs()lo	Sättigungsspannung lo	CFGDR(1:0) = 00, I() = -4 mA CFGDR(1:0) = 01, I() = -50 mA CFGDR(1:0) = 10, I() = -50 mA CFGDR(1:0) = 11, I() = -20 mA			200 700 700 400	mV mV mV mV
P03	Isc()hi	Kurzschlussstrom hi	V() = 0 V; CFGDR(1:0) = 00 CFGDR(1:0) = 01 CFGDR(1:0) = 10 CFGDR(1:0) = 11	-12 -120 -120 -60		-4 -50 -50 -20	mA mA mA mA
P04	Isc()lo	Kurzschlussstrom lo	V() = VPD; CFGDR(1:0) = 00 CFGDR(1:0) = 01 CFGDR(1:0) = 10 CFGDR(1:0) = 11	4 50 50 20		12 120 120 60	mA mA mA mA
P05	Ilk()tri	Leckstrom Tristate	TRIH(1:0) = 11	-100		100	µA
P06	tr()	Rise-Time lo nach hi an Q	RL = 100 Ω nach VND; CFGDR(1:0) = 00 CFGDR(1:0) = 01 CFGDR(1:0) = 10 CFGDR(1:0) = 11	5 5 50 5		20 20 350 40	ns ns ns ns
P07	tf()	Fall-Time hi nach lo an Q	RL = 100 Ω nach VND; CFGDR(1:0) = 00 CFGDR(1:0) = 01 CFGDR(1:0) = 10 CFGDR(1:0) = 11	5 5 50 5		20 20 350 40	ns ns ns ns

### BETRIEBSBEDINGUNGEN: I/O-Schnittstelle

Betriebsbedingungen: VPA, VPD = 5 V ± 10 %, Ta = -40...125 °C, IBM auf 200 µA kalibriert;

Eingangsspiegel bezogen auf VND: lo = 0...0.45 V, hi = 2.4 V...VPD

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen			Einh.
				Min.	Max.	
<b>SSI Protokoll (ENSSI = 1)</b>						
I001	T <sub>MAS</sub>	Zulässige Taktperiode	t <sub>out</sub> durch Parameter CFGTOS gegeben	250	2x t <sub>out</sub>	ns
I002	t <sub>MASh</sub>	Taktdauer Hi		25	t <sub>out</sub>	ns
I003	t <sub>MASl</sub>	Taktdauer Lo		25	t <sub>out</sub>	ns

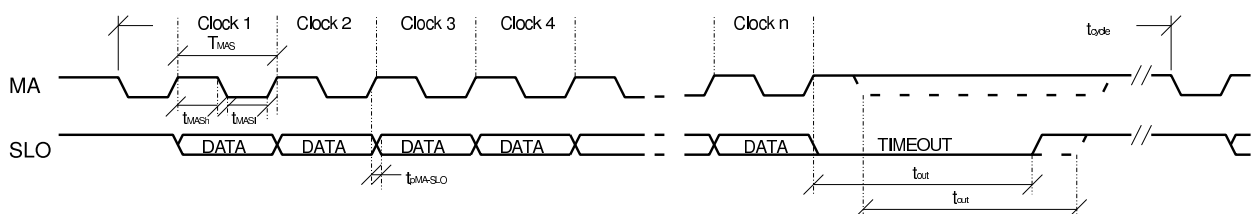


Bild 1: Timing I/O-Schnittstelle für SSI-Protokoll

**Registerbelegung**

ÜBERSICHT									
Adr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
<b>Hall-Signalaufbereitung</b>									
0x00	z	GAING(1:0)		GAINF(5:0)					
0x01	z	ENAC	GCC(6:0)						
0x02	z	-	VOSS(6:0)						
0x03	z	PRM	VOOSC(6:0)						
0x04	z	HCLH	DPU	-	CFGTOB	CIBM(3:0)			
<b>RS422 Treiber</b>									
0x05	z	ENSSI	CFGPROT	CFGGO(1:0)		TRIHL(1:0)		CFGDR(1:0)	
<b>Sinus/Digitalwandler</b>									
0x06	z	CFGRES(7:0)							
0x07	z	CFGZPOS(7:0)							
0x08	z	CFGHYS(1:0)	CFGDIR	CFGMTD	CFGSU	CFGPOLE	CFGAB(1:0)		
0x09	z	CFGCOM(7:0)							
0x0A	z	-						CFGMTD2	
0x0B	z	-							
0x0C	z	-							
0x0D		-							
<b>Testeinstellungen</b>									
0x0E	p	TEST(7:0)							
0x0F		-	res.	res.	res.	-	-	-	PROGZAP
<b>ZAP-Dioden (read only)</b>									
0x10		ZAP-Dioden für Adressen 0x00..0x0C und 0x7D..0x7F							
..									
0x1F									
<b>not used</b>									
0x20		'Ungültige Adresse'							
..									
0x41									
<b>Profil Kennung (read only)</b>									
0x42		Profil - 0x2C							
0x43		Profil - 0x0			Datenlänge DLEN				
<b>not used</b>									
0x44		'Ungültige Adresse'							
..									
0x75									
<b>Statusmeldungen (read only; Meldungen werden durch Lesen des Registers zurückgesetzt)</b>									
0x76		GAIN							
0x77		PROGERR	ERRSDATA	ERRAMIN	ERRAMAX	ERREXT	res.	res.	PROGOK

ÜBERSICHT								
Adr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
<b>Identifikation (0x78 bis 0x7B read-only)</b>								
0x78	Bausteinkennung - 0x4D ('M')							
0x79	Bausteinkennung - 0x48 ('H')							
0x7A	Revisionskennung - 0x5A ('Z')							
0x7B	Revisionskennung - 0x00 ('')							
0x7C	-							CFGTOS
0x7D	z	Hersteller-Revisionskennung - 0x00						
0x7E	z	Herstellernummer - 0x00						
0x7F	z	Herstellernummer - 0x00						

z: Registerwert durch Zapping programmierbar

p: Registerwert schreibgeschützt, kann nur bei V(VZAP)>Vt(j)hi geändert werden

Tab. 5: Registerbelegung

<b>Hall-Signalaufbereitung</b> .....	Seite 10	<b>Sinus/Digitalwandler</b> .....	Seite 16
GAING:	Hall-Signalverstärkung Bereichwahl	CFGRES:	Auflösung Sinus Digitalwandler
GAINF:	Hall-Signalverstärkung (1..20, log. Teilung)	CFGZPOS:	Nullpunkt für Position
GCC:	Verstärkungsabgleich Cosinus	CFGAB:	Konfiguration Inkrementalausgabe
ENAC:	Aktivierung Amplitudenregelung	CFGPOLE:	Polzahl Kommutiersignale
VOSS:	Offsetabgleich Sinus	CFGSU:	Verhalten beim Aufstarten
VOSC:	Offsetabgleich Cosinus	CFGMTD:	Frequenz an AB
PRM:	Stromsparmodus	CFGDIR:	Drehrichtungsumkehr
CIBM:	Kalibrierung Bias-Strom	CFGHYS:	Hysterese Sinus/Digitalwandler
DPU	Deaktivierung NERR Pull-Up	CFGCOM:	Nullpunkt Kommutierung
HCLH	Aktivierung hoher Halltakt	<b>Test</b>	
<b>RS422 Treiber</b> .....	Seite 18	TEST:	Testmodus
CFGDR:	Treibereigenschaft	PROGZAP:	Aktivierung Programmerroutine
TRIHL:	Tristate Highside / Lowside Treiber		
CFG0:	Konfiguration Ausgabemodus		
CFGPROT:	Schreib-/Leseschutz Speicher		
ENSSI:	Aktivierung SSI-Modus		

### Sensor-Prinzip

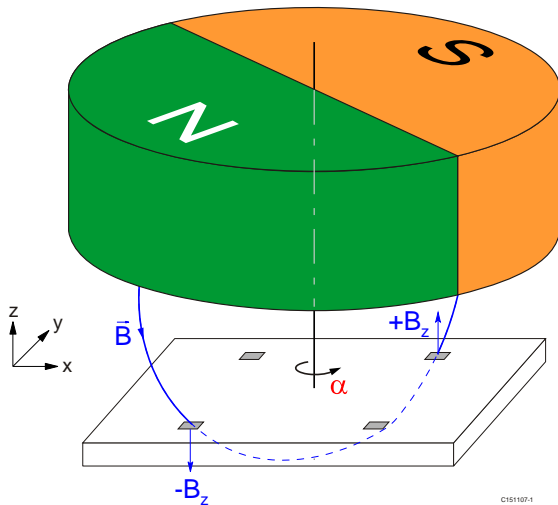


Bild 2: Sensor Prinzip

Der Baustein iC-MH stellt zusammen mit einem rotierenden Permanentmagneten ein komplettes Drehge-

ber-System dar. Optimale Sensorsignale erhält man bei Verwendung eines diametral magnetisierten, zylindrischen Permanentmagnet aus Neodymium-Eisen-Bor (NdFeB) oder Samarium-Cobalt (SmCo). Der Durchmesser des Magnetzylinder sollte im Bereich von 3 bis 6 mm liegen.

Der iC-MH besitzt vier für die Winkelbestimmung angepasste Hall-Sensoren, die das magnetische Feld in eine messbare Hallspannung umwandeln. Es wird ausschließlich die z-Komponente des Magnetfeldes ausgewertet, wobei die Feldlinien in entgegengesetzter Richtung durch zwei gegenüberliegende Hall-Sensoren treten. In Bild 2 sind beispielhaft Feldvektoren dargestellt. Die Anordnung der Hall-Sensoren ist so gewählt, dass die Montage des Magneten zu iC-MH sehr tolerant ist. Je zwei Hall-Sensoren liefern ein differenzielles Hall-Signal. Bei Drehung des Magneten um die Längsachse entstehen sinus- und cosinusförmige Ausgangsspannungen, die zur Winkelbestimmung benutzt werden können.

### Lage der Hallensoren und analoges Sensorsignal

Die Hallensoren liegen gemäß Bild 3 mittig zum QFN28-Package auf einen Kreis mit dem Durchmesser von 2 mm im 90°-Winkelabstand zueinander.

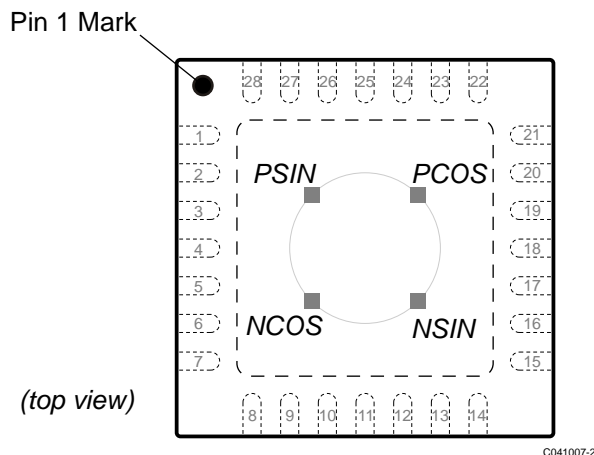


Bild 3: Lage der Hallensoren

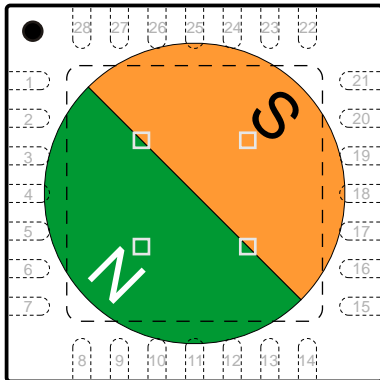
Bei Annäherung eines magnetischen Südpols an die Gehäuseoberfläche weist das entstehende magnetische Feld eine positive Komponente in +z-Richtung (d.h. aus der Gehäuseoberseite heraus) auf, und die

einzelnen Hallensensoren erzeugen jeweils eine eigene positive Signalspannung.

Für die Ermittlung der Winkelposition eines über dem Baustein angeordneten diametral polarisierten Magneten wird die Signaldifferenz der jeweils gegenüberliegenden Hallensensoren gebildet, so dass sich der Sinus aus  $V_{SIN} = V_{PSIN} - V_{NSIN}$ , der Cosinus aus  $V_{COS} = V_{PCOS} - V_{NCOS}$  ergibt. Die Null-Winkelstellung des Magneten ist dadurch gekennzeichnet, dass der dabei entstehende Cosinus-Spannungswert maximal und der Sinus-Spannungswert Null ist.

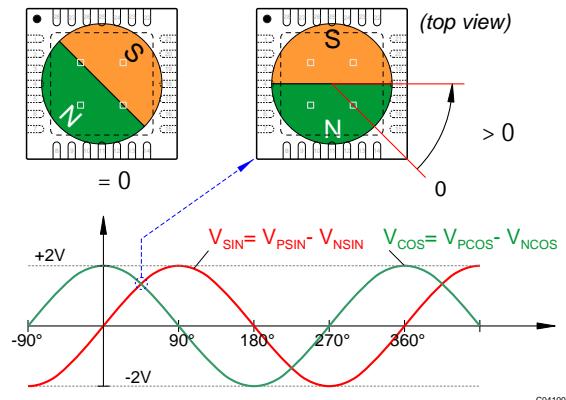
Dies ist dann der Fall, wenn sich der Südpol des Magneten genau über dem Sensor PCOS, der Nordpol über dem Sensor NCOS befindet, wie die Bild 4 zeigt. Die Sensoren PSIN und NSIN liegen entlang der Polgrenze, so dass beide kein Hallsignal erzeugen.

Mit zunehmender Drehung des Magneten entgegen des Uhrzeigersinns überdecken die Pole dann auch die PSIN- und NSIN-Sensoren, so dass die nach Bild 5 dargestellten Sinus- und Kosinussignale erzeugt werden. Die Signale liegen intern im Baustein vor, können aber für Testzwecke nach außen geführt werden (siehe Beschreibung des Abgleichs des iC-MH).



C041007-1

Bild 4: Nullstellung des Magneten



C041007-3

Bild 5: Verlauf der analogen Sensorsignale mit dem Drehwinkel

### Hall-Signalaufbereitung

Der Baustein iC-MH verfügt über einen Signalabgleich, der Signal- und Justagefehler ausgleichen kann. Die Hallsignale werden in zwei Stufen verstärkt. Zunächst muss grob der Bereich der Feldstärke gewählt werden, in dem der Hallsensor betrieben wird. Die erste Verstärkerstufe kann in folgenden Bereichen programmiert werden:

GAING(1:0)	Adr 0x00; Bit 7:6
00	5-fach
01	10-fach
10	15-fach
11	20-fach

Tab. 6: Hall-Signalverstärkung Bereichswahl

Der Arbeitsbereich kann entsprechend dem Temperaturgang und Magnetabstand vorbestimmt werden. Die integrierte Amplitudenregelung kann die Signalamplitude über einen weiteren Verstärkungsfaktor zwischen 1 und 20 nachführen. Sollte die Regelung an die Bereichsgrenzen stoßen, ist eine andere Signalverstärkung über GAING zu wählen.

Die zweite Verstärkerstufe kann in einem weiten Bereich variiert werden. Bei deaktivierter Amplitudenregelung (ENAC = '0') wird die Verstärkung im GAINF Register verwendet. Bei aktivierter Amplitudenregelung (ENAC = '1') haben die Registerbits GAINF keine Auswirkung.

GAINF(5:0)	Adr 0x00; Bit 5:0
0x00	1,000
0x01	1,048
...	$\exp\left(\frac{\ln(20)}{64} \cdot \text{GAINF}\right)$
0x3F	19,08

Tab. 7: Hall-Signalverstärkung

Zur Korrektur der Empfindlichkeit des Sinuskanals in Relation zum Cosinuskanal dient das Register GCC. Die Cosinus-Amplitude kann in einem Bereich von etwa  $\pm 10\%$  korrigiert werden.

GCC(6:0)	Adr 0x01; Bit 6:0
0x00	1,000
0x01	1,0015
...	$\exp\left(\frac{\ln(20)}{2048} \cdot \text{GCC}\right)$
0x3F	1,0965
0x40	0,9106
...	$\exp\left(-\frac{\ln(20)}{2048} \cdot (128 - \text{GCC})\right)$
0x7F	0,9985

Tab. 8: Verstärkungsabgleich Cosinus

Die integrierte Amplitudenregelung kann über das Bit ENAC aktiviert werden. In diesem Fall wird die differentielle Signalamplitude auf  $4 V_{SS}$  geregelt, die Werte von GAINF haben hier keine Auswirkung.

ENAC	Adr 0x01; Bit 7
0	Amplitudenregelung deaktiviert
1	Amplitudenregelung aktiviert

Tab. 9: Aktivierung Amplitudenregelung

Nach dem Einschalten wird die Verstärkung so lange erhöht, bis die Sollamplitude erreicht wird. Bei einer Änderung der Eingangsamplitude durch Vergrößerung des Abstandes zwischen Magnet und Sensor oder bei einer Änderung der Versorgungsspannung oder bei Temperaturänderung wird automatisch die Verstärkung nachgeregelt. Die Wandlung der Sinussignale in hochauflösende Quadratsignale erfolgt somit immer bei optimaler Amplitude.

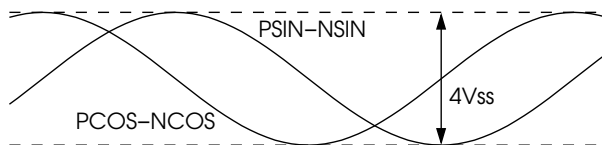


Bild 6: Definition differentielle Amplitude

Sollte ein Offset im Sinussignal oder im Cosinussignal vorhanden sein, der u. a. auch durch einen nicht exakt justierten Magnet verursacht sein kann, kann dieser durch die Register VOSS und VOSC korrigiert werden. Die Ausgangsspannung kann jeweils um  $\pm 63$  mV verschoben werden, um den Offset zu kompensieren.

<b>VOSS(6:0)</b> Adr 0x02; Bit 6:0	
<b>VOSC(6:0)</b> Adr 0x03; Bit 6:0	
0x00	0 mV
0x01	1 mV
...	...
0x3F	63 mV
0x40	0 mV
0x41	-1 mV
...	...
0x7F	-63 mV

Tab. 10: Offsetabgleich Sinus und Cosinus

Im Stromsparmodus kann die Stromaufnahme der Hallsensoren geviertelt werden. Dadurch reduziert sich ebenfalls die maximale Drehfrequenz um den Faktor 4.

<b>PRM</b> Adr 0x03; Bit 7	
0	Stromsparmodus deaktiviert
1	Stromsparmodus aktiviert

Tab. 11: Stromsparmodus

Im Testmodus TEST = 0x43 können am Pin B die internen Ströme kalibriert werden. Dazu muss der Strom bezogen auf VNA gemessen werden und die Registerbits CIBM solange geändert werden, bis der Strom auf 200  $\mu$ A kalibriert ist. Alle internen Ströme sind dann abgeglichen.

<b>CIBM(3:0)</b> Adr 0x04; Bit 3:0	
0x0	-40 %
...	...
0x8	0 %
0x1	+5 %
...	...
0xF	+35 %

Tab. 12: Kalibrierung Bias-Strom

Die Switching Current Hall-Sensoren können bei zwei Frequenzen betrieben werden. Bei 500 kHz hat der Sinus die doppelte Anzahl Stützstellen. Diese Einstellung ist bei hohen Drehzahlen oberhalb 30 000 rpm interessant.

<b>HCLH</b> Adr 0x04; Bit 7	
0	250 kHz
1	500 kHz

Tab. 13: Aktivierung hoher Halltakt

### Testmodi für den Signalabgleich

Für den Signalabgleich verfügt der iC-MH über mehrere Testeinstellungen, um interne Referenzgrößen sowie die verstärkten Hallspannungen der einzelnen Sensoren an den äußeren Anschlüssen A, B, Z und U für Messzwecke zugänglich zu machen. Hierdurch lassen sich die Einstellungen der Offsets (VOSS, VOSC), der Verstärkung (GAING, GAINF) und des Amplitudenverhältnis von Kosinus- zu Sinussignal (GCC) direkt am Oszilloskop beobachten.

Der Testmodus kann erreicht werden, indem der Pin VZAP auf VPD gelegt und das Register TEST (Adresse 0x0E) programmiert wird. Die einzelnen Testmodi sind in nachfolgender Tabelle aufgelistet.

Ausgangssignale im Testmodus					
Modus	TEST	Pin A	Pin B	Pin Z	Pin U
Normal	0x00	A	B	Z	U
Analog SIN	0x20	HPSP	HPSN	HNSP	HNSN
Analog COS	0x21	HPCP	HPCN	HNCP	HNCN
Analog OUT	0x22	PSIN	NSIN	PCOS	NCOS
Analog REF	0x43	VREF	IBM	VBG	VOSR
Digital CLK	0xC0	CLKD			

Tab. 14: Testmodi und verfügbare Ausgangssignale

Die Ausgangsspannungen liegen jeweils als differenzielle Signale mit einer Mittelspannung von 2,5 V vor. Die Verstärkung wird durch die Registerwerte GAING und GAINF bestimmt und sollte so eingestellt werden, dass Ausgangsamplituden der Sinus- und Kosinussignale von etwa 1 V sichtbar werden.

### Testmodi Analog SIN, Analog COS

In diesen Testmodi ist es möglich, die Signale der einzelnen Hallensoren unabhängig voneinander zu vermessen. Die einzelnen Abgriffe der Sensoren bezeichnen hierbei zusammen mit der Sensorposition die Signalnamen. So bedeutet **HPSP** die (verstärkte) Hallspannung des Sensors **PSIN** am **positiven** Signalzweig, entsprechend **HNCN** die Hallspannung des Sensors **NCOS** am **negativen** Signalzweig. Die effektive Hallspannung ergibt sich aus der Differenzspannung zwischen positivem und negativem Signalzweig des jeweiligen Sensors.

### Testmodus Analog OUT

In diesem Testmodus liegen die Sensorsignale an den Ausgängen so vor, wie sie intern zur Weiterverarbeitung am Interpolator anstehen. Die erzielbare Interpolationsgenauigkeit ist von der Qualität der Signale  $V_{sin}$  und  $V_{cos}$  bestimmt und kann in diesem Testmodus

durch Abgleich von Offset, Verstärkung und Amplitudenverhältnis beeinflusst werden.

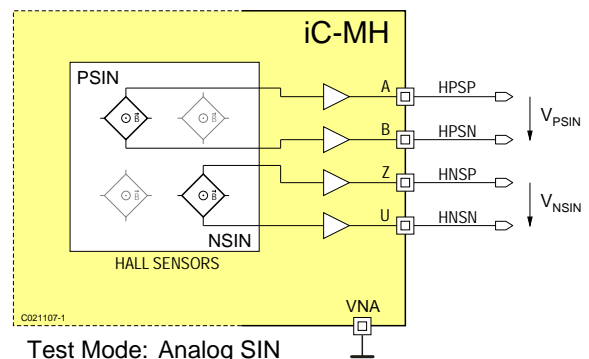


Bild 7: Ausgangssignale der Sinus-Hallsensoren im Testmodus Analog SIN

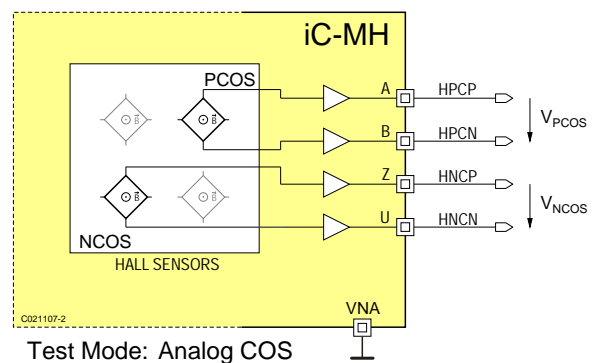


Bild 8: Ausgangssignale der Kosinus-Hallsensoren im Testmodus Analog COS

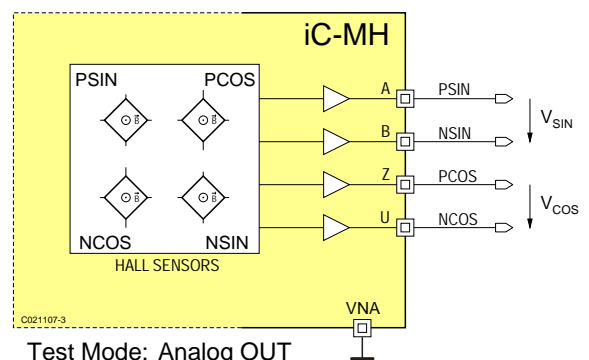


Bild 9: Differenzielle Sinus- und Kosinussignale im Testmode Analog OUT

### Testmodus Analog REF

In diesem Modus stehen verschiedene interne Referenzgrößen zur Verfügung.

renzspannungen zur Verfügung. VREF entspricht der halben Versorgungsspannung (typ. 2.5 V) und wird als Bezugsspannung für die Hallsensoren signale verwendet. VBG ist die interne Bandgap-Referenz (1.24 V), während VOSR (0.5 V) zur Generierung des Offseinstellbereichs benutzt wird. Der Bias-Strom IBM bestimmt die interne StromEinstellung des analogen Schaltungsteils. Um Variationen dieses Stromes und damit Unterschiede in den Eigenschaften zwischen verschiedenen iC-MH-Bausteinen (z.B. durch Fertigungsschwankungen) auszugleichen, ist dieser über den Registerparameter CIBM im Bereich von ca. -40% bis +35% einstellbar. Der Nominalwert von 200  $\mu\text{A}$  wird als Kurzschlußstrom am Pin B gegen Masse gemessen.

### Testmodus Digital CLK

Falls aufgrund externer Beschaltung keine direkte Messung von IBM möglich ist, kann alternativ in die-

sem Testmodus das Taktsignal CLKD am Pin A über den Registerwert CIBM auf nominal 1 MHz abgeglichen werden.

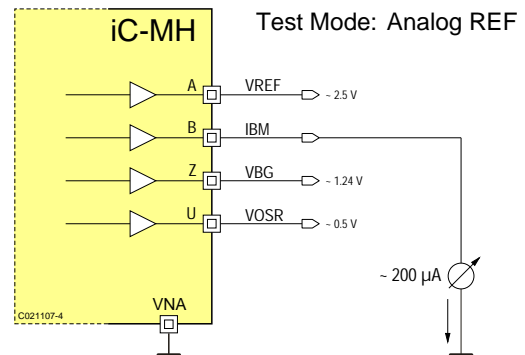


Bild 10: Einstellung des Bias-Stroms IBM im Testmodus Analog REF

### Abgleichprozedur

Die nachfolgend erläuterte Abgleichprozedur dient zur optionalen Einstellung der internen analogen Sinus- und Kosinussignale sowie zur mechanischen Ausrichtung von Magnet und iC-MH zueinander.

### BIAS-EINSTELLUNG

Die BIAS-Einstellung gleicht mögliche Exemplarstreuungen der iC-MH Bausteine aus. Für diese Einstellung ist die Anwesenheit eines magnetischen Feldes nicht erforderlich und kann daher sowohl vor wie auch während der Assemblierung von Magnet und iC-MH erfolgen.

Wird diese Einstellmöglichkeit nicht genutzt, sollte das Register CIBM auf einen mittleren Wert von 0x8 (entspricht 0% Änderung) eingestellt werden. Wie im vorigen Abschnitt beschrieben, wird durch Verändern des Wertes im Register CIBM im Testmodus Analog REF der Strom IBM auf 200  $\mu\text{A}$  oder alternativ im Testmodus Digital CLK das Signal CKLD auf 1 MHz eingestellt.

### MECHANISCHE JUSTAGE

Eine Justage des iC-MH zum Magneten kann in den Testmodi Analog SIN und Analog COS erfolgen, bei denen die Hallsignale der einzelnen Hallsensoren bei rotierendem Magneten betrachtet werden.

Im Testmodus Analog SIN sind die Ausgangssignale der diagonal gegenüberliegenden Sinus-Hall-Sensoren an den Pins A, B, Z und U sichtbar. Magnet und iC-MH werden nun so zueinander ausgerichtet, dass die differentiellen Signale  $V_{PSIN}$  und  $V_{NSIN}$  die gleiche

Amplitude haben und eine Phasenverschiebung von 180° aufweisen. Entsprechendes gilt für den Testmodus Analog COS, bei der in gleicher Weise die differentiellen Signale  $V_{PCOS}$  und  $V_{NCOS}$  abgeglichen werden.

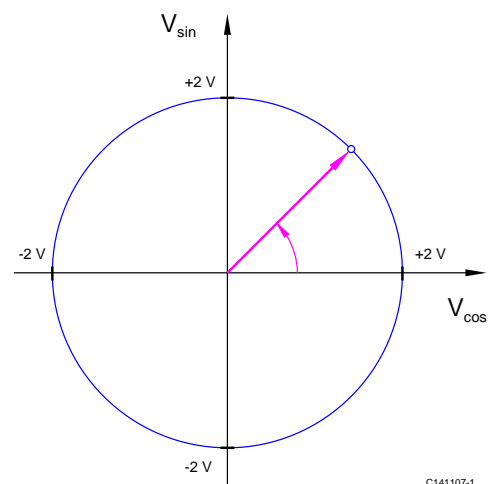


Bild 11: Lissajous-Figur im Idealfall

### SIGNALABGLEICH ÜBER ANALOGGRÖSSEN

Im Testmodus Analog OUT nach Bild 5 lassen sich hochohmig die internen Signale abgreifen, die an den Sinus/Digitalwandler gehen. Bei rotierendem Magneten ist so eine Darstellung der Differenzsignale  $V_{SIN}$  sowie  $V_{COS}$  als xy-Darstellung (Lissajous-Figur) mit Hilfe eines Oszilloskops möglich. Im Idealfall beschrei-

ben die Sinus- und Kosinusanalogwerte als Lissajous-Figur einen exakten Kreis, wie in Bild 11 gezeigt.

Bei Raumtemperatur und abgeschalteter Amplitudenregelung (ENAC = 0) wird die Grobeinstellung der Verstärkung GAING so gewählt, dass bei einer mittleren Verstärkungseinstellung GAINF = 0x20 (Verstärkungsfaktor ca. 4.5) die Hallsignalamplituden möglichst nahe bei 1 V liegen. Anschließend kann durch Variation von GAINF die Amplitude noch genauer eingestellt werden. Variationen des Verstärkungsfaktors, wie im Bild 12 gezeigt, haben auf die Form der Lissajous-Figur keinen Einfluss, so dass die Winkelinformation für den Interpolator erhalten bleibt.

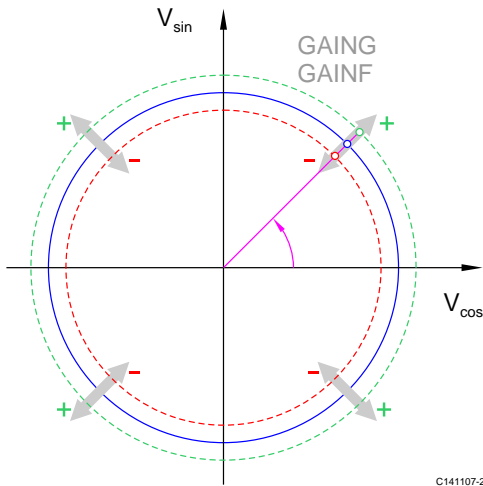


Bild 12: Einfluss der Verstärkungseinstellungen

Abweichungen der beobachteten Lissajous-Figur von der idealen Kreisform lassen sich durch Variation der Amplitudenoffsets (Register VOSS, VOSC) und des Amplitudenverhältnisses (Register GCC) korrigieren. Die Änderungen dieser Parameter sind in den nachfolgenden Bildern 13 bis 15 dargestellt. Jeder dieser Einstellungen zeigt unterschiedlichen Einfluss auf den interpolierten Winkelwert. So zeigt die Änderung des Sinus-Offsets maximalen Einfluss auf den Winkelwert bei 0° und 180°, während keinerlei Änderungen bei den Winkelwerten 90° und 270° auftreten. Genau die entgegengesetzten Einflussmöglichkeiten sind bei der Variation des Kosinus-Offsets möglich, so dass unabhängig voneinander diese Winkel paarweise eingestellt werden können. Durch die Einstellung des Kosinus-Sinus-Amplitudenverhältnisses werden diese Winkelwerte (0°, 90°, 180° und 270°) nicht verändert; hingegen können die Zwischenwerte (45°, 135°, 225° und 315°) durch diesen Parameter noch beeinflusst werden.

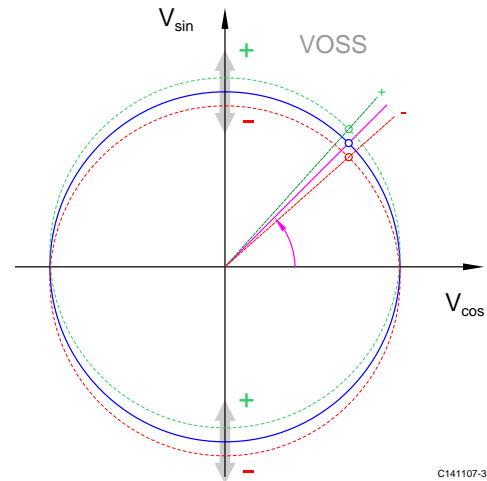


Bild 13: Einfluss der Sinus-Offseinstellung

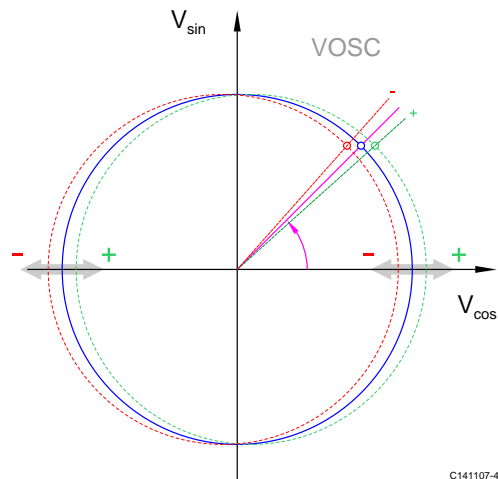


Bild 14: Einfluss der Kosinus-Offseinstellung

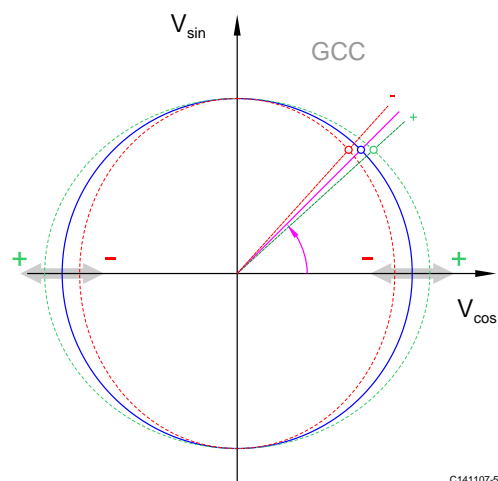


Bild 15: Einfluss des Amplitudenverhältnisses

Nach durchgeführtem Abgleich sollte ein Signal gemäß Bild 11 vorliegen

Abschließend kann die Amplitudenregelung (ENAC =1) eingeschaltet werden, um Abweichungen der Signalamplituden durch Magnetfeldvariation aufgrund Abstands- und Temperaturänderungen automatisch ausregeln zu lassen.

### SIGNALABGLEICH ÜBER INKREMENTALSIGNALE

Kann nicht auf den Testmodus zurückgegriffen werden, lässt sich ein Abgleich auch über die Inkrementalsignale oder über die seriell ausgelesenen Werte durchführen. Um eine eindeutige Beziehung zwischen den auf die analogen Sensorsignale wirkenden Abgleichparametern und den sich daraus ergebenden digitalen Sensorwerten zu erhalten, sollte die Position des Nullimpulses auf ZPOS = 0 gesetzt werden, so dass der Nullpunkt der Digitalsignale mit denen der Analogsignale übereinstimmt.

Bei einer Inkrementalaufösung mit 8 Flanken pro Umdrehung (CFGRES = 0x1) lassen sich alle Winkelwerte darstellen, bei denen die Abgleichparameter VOSS, VOSC und GCC ihren jeweils größten Einfluss zeigen. Bei Drehung des Magneten mit konstanter Winkelgeschwindigkeit erhält man die in Bild 16 dargestellten Inkrementalsignale, bei der die einzelnen Flanken im Idealfall im zeitlichen Abstand einer Achterperiode (45°-Winkelabstand) aufeinander folgen. Alternativ kann die Winkelposition des Magneten auch mit einem Referenzdrehgeber vorgegeben, so dass die Voraussetzung einer gleichmäßigen Drehbewegung nicht vonnöten ist und anhand der vorliegenden Soll-Winkelwerte der Abgleich vorgenommen werden kann.

Die unterschiedlichen Einflussmöglichkeiten der Parameter VOSS, VOSC und GCC auf die Flankenpositionen der Inkrementalsignale A und B sind in Bild 16 dargestellt. Im Idealfall soll der Abstand der steigenden Flanken (entsprechend der Winkelpositionen 0° und 180°) am Signal A genau eine halbe Periodenlänge (PER) sein. Weichen diese Flanken in ihrem Abstand hiervon ab, kann mit VOSS der Offset des Sinuskanales nachjustiert werden. Gleiches gilt für die fallenden Flanken des A-Signals, die ebenfalls einen Abstand einer halben Periodenlänge haben sollten und Abweichungen hiervon durch den Offset des Kosinus-Parameter VOSC ausgeglichen werden können. Mit dem Parameter GCC schließlich lässt sich der Abstand zwischen den benachbarten Flanken der Signale A und B auf den genauen Wert von einer achter Periode (45° Winkelabstand) einstellen.

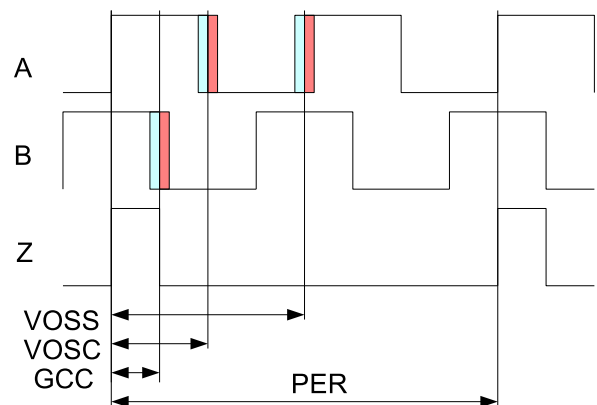


Bild 16: Abgleich über Inkremental-Signale

### Sinus/Digital-Wandler

Der Baustein iC-MH integriert zwei getrennte Sinus/Digital-Wandler. Ein hochauflösender 12-Bit-Wandler für die Inkrementalsignale ABZ kann in weiten Bereichen der Auflösung programmiert werden und erzeugt Quadratur-signale selbst bei höchster Drehzahl und höchster Auflösung. Davon unabhängig arbeitet der Wandler für die Kommutierungssignale. Dieser kann im Nullpunkt getrennt vom Quadraturwandler eingestellt werden, wodurch die Kommutierung bei anderen Winkeln bezogen auf die Indexspur Z erfolgen kann.

CFGRES(7:0)	Adr 0x06; Bit 7:0
0x0	1
0x1	2
...	...
0x7e	127
0x7f	128
0x80	256
0x81	512
0x82	1024

Tab. 15: Programmierung des Interpolationsfaktors

Die Auflösung des 12-Bit-Wandlers kann nahezu beliebig eingestellt werden. Bis zu einem Interpolationsfaktor von 128, also 512 Flanken pro Umdrehung, kann jede Auflösung eingestellt werden. Bei höheren Auflösungen sind nur die binären Auflösungen einstellbar, also 256, 512 und 1024. In der größten Auflösung mit Interpolationsfaktor 1024 werden 4096 Flanken pro Umdrehung erzeugt, 4096 Winkelschritte sind unterscheidbar. Selbst in der höchsten Auflösung kann bei maximaler Drehzahl die Absolutposition in Echtzeit berechnet werden. Nach dem Ändern der Auflösung wird intern ein Baustein-Reset ausgelöst und die Absolutposition neu berechnet.

CFGAB(1:0)	Adr 0x08; Bit 1:0
0x0	A und B nicht invertiert
0x1	B invertiert, A normal
0x2	A invertiert, B normal
0x3	A und B invertiert

Tab. 16: Invertierung der AB-Signale

Die Inkrementalsignale können nochmals unabhängig von den Ausgangstreibern invertiert werden. Damit lassen sich andere Phasenlagen von A und B zum Indexpuls Z erzeugen. Standard ist A und B High-Pegel beim Nullpunkt, also Z gleich High.

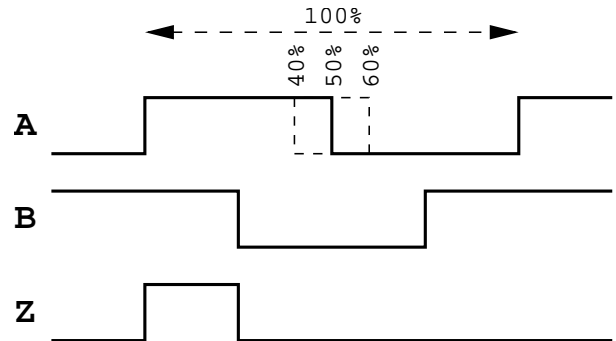


Bild 17: ABZ Signale und relative Genauigkeit

Bild 17 zeigt die Lage der Inkrementalsignale um den Nullpunkt. Bei einer Auflösung von 10 Bit ist die relative Genauigkeit der Flanken zueinander besser als 10%. Das bedeutet, dass bezogen auf eine Periode an A bzw. B die Flanke in einem Fenster zwischen 40% und 60% auftritt.

CFGHYS(1:0)	Adr 0x08; Bit 7:6
0x0	0,17°
0x1	0,35°
0x2	0,7°
0x3	1,4°

Tab. 17: Programmierung der Winkelhysterese

Bei Drehrichtungsumkehr verhindert eine Winkelhysterese ein mehrmaliges Schalten der Inkrementalsignale am Umkehrpunkt. Die Winkelhysterese entspricht einem Schlupf, der zwischen den beiden Drehrichtungen existiert. Nähert man sich einem Schaltpunkt jedoch von der selben Richtung, so wird die Flanke am Ausgang immer an der selben Position generiert. Das folgende Bild zeigt die generierten Quadratur-signale für eine Auflösung von 360 Flanken pro Umdrehung (Interpolationsfaktor 90) und einer eingestellten Winkelhysterese von 1,4°.

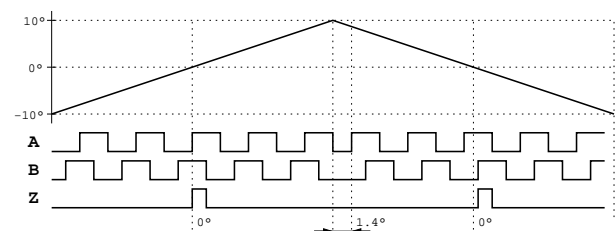


Bild 18: Quadratur-signale bei Drehrichtungsumkehr (Hysterese 1,4°)

Am Umkehrpunkt bei  $+10^\circ$  wird noch zunächst die entsprechende Flanke an A generiert. Sobald ein Winkel von  $1,4^\circ$  entsprechend der Hysterese in der anderen Richtung überschritten wurde, wird erst wieder die Rückflanke an A generiert. Das bedeutet, dass in der einen Drehrichtung alle Flanken um den gleichen Wert verschoben sind.

CFGZPos(7:0)		Adr 0x07; Bit 7:0
0x0	0°	
0x1	1,4°	
0x2	2,8°	
...	$\frac{360}{256}$ CFGZPos	
0xff	358,6°	

Tab. 18: Programmierung der AB-Nullposition

Die Lage des Indeximpulses Z kann in  $1,4^\circ$  Schritten eingestellt werden. Dazu steht ein 8-Bit-Register zur Verfügung, das den Z-Impuls einmal über  $360^\circ$  verschieben kann.

CFGMTD2	CFGMTD	Mindestflankenabstand	
0	0	500 ns	max. 500 kHz an A
0	1	125 ns	max. 2 MHz an A
1	0	8 $\mu$ s	max. 31.25 kHz an A
1	1	2 $\mu$ s	max. 125 kHz an A

Tab. 19: Mindestflankenabstand

Das Register CFGMTD definiert die Zeit, in der zwei aufeinanderfolgende Positionereignisse ausgegeben werden können. Standard sind maximal 500 kHz Ausgangsfrequenz an A, d. h. bei höchster Auflösung können noch Drehzahlen von 30 000 Umdrehungen pro Minute korrekt wiedergegeben werden. In der Einstellung mit Flankenabstand 125 ns können auch bei höchster Auflösung und Maximaldrehzahl die Flanken generiert werden. Der an den Baustein angeschlossene Zähler muss allerdings in diesem Fall alle Flanken korrekt verarbeiten können. Die Einstellungen mit 2  $\mu$ s und 8  $\mu$ s können für langsamere Zähler verwendet werden. Zu beachten ist allerdings, dass bei höheren Auflösungen sich die maximale Drehzahl entsprechend verkleinert.

CFGDIR		Adr 0x08; Bit 5
0	Drehrichtung CCW	
1	Drehrichtung CW	

Tab. 20: Drehrichtungsumkehr

Die Bestimmung der Drehrichtung kann über das Bit CFGDIR bestimmt werden. Bei der Einstellung CW (clockwise) nehmen die Winkelpositionswerte mit der Drehung des Magneten im Uhrzeigersinn zu. Die Definition der Drehrichtung ist wie in Bild 5, d.h. mit der

Blickrichtung auf den Magneten und der Gehäuseoberseite. In der Einstellung CCW muss für zunehmende Winkelwerte die Drehrichtung entgegen des Uhrzeigersinns erfolgen.

Die im Testmodus für den Abgleich zugänglichen analogen Sinus- und Kosinussignale werden durch diese Einstellung nicht betroffen; es ergeben sich immer die in Bild 5 angegebenen Signalverläufe.

CFGSU		Adr 0x08; Bit 3
0	ABZ während Aufstartphase konstant auf "111"	
1	AB zählt in der Aufstartphase bis zur aktuellen Position	

Tab. 21: Konfiguration Aufstartphase

Je nach Anwendung kann ein Zähler während des Einschaltens des Bausteins keine generierten Pulse übertragen. Beim Anlegen der Versorgungsspannung wird zunächst die aktuelle Position ermittelt. Während dieser Phase sind die Quadraturausgänge konstant auf "111" in der Einstellung CFGSU = '0'. In der Einstellung CFGSU = '1' werden so viele Flanken am Ausgang generiert, bis die Absolutposition erreicht wird. Dadurch ist ein Erfassen der Absolutposition über die inkrementale Schnittstelle möglich.

Der Wandler für die Erzeugung der Kommutierungssignale kann für zwei- und vierpolige Motoren konfiguriert werden. Es werden jeweils drei um  $120^\circ$  phasenverschobene Rechtecksignale erzeugt. Bei zweipoliger Kommutierung wiederholt sich die Sequenz einmal pro Umdrehung. Bei vierpoliger Einstellung wird die Kommutierungssequenz zweimal pro Umdrehung generiert.

CFGPOLE		Adr 0x8; Bit 2
0	2 polige Kommutierung	
1	4 polige Kommutierung	

Tab. 22: Kommutierung

Die Nullposition der Kommutierung, d. h. die steigende Flanke der Spur U kann beliebig über eine Umdrehung eingestellt werden. Dabei stehen 192 mögliche Positionen zur Verfügung. Werte oberhalb 0xC0 sind die gespiegelten Positionen ab 0x70.

CFGCOM(7:0)		Adr 0x09; Bit 7:0
0x00	0°	
0x01	1,875°	
...	$\frac{360}{192}$ CFGCOM	
0xBF	358,125°	

Tab. 23: Kommutierung

### Ausgangstreiber

Es stehen sechs RS422-kompatible Ausgangstreiber zur Verfügung, die für die Inkrementalsignale und Kommutierungssignale konfiguriert werden können. Folgende Tabelle über die Registerbits CFGO gibt eine Übersicht über die möglichen Einstellungen.

CFGO(1:0)	Adr 0x05; Bit 5:4
00	Inkremental Diff ABZ (U=NA, V=NB, W=NZ)
01	Inkr ABZ + Komm UVW
10	Kommutierung Diff UVW (A=NU, B=NV, Z=NW)
11	Inkr ABZ + AB4 (U=A4, V=B4, W=0)

Tab. 24: Konfiguration Ausgangstreiber

Im differentiellen Inkrementalmodus (CFGO = '00', Bild 19) sind an den Pins A, B und Z Quadratursignale verfügbar. An den Pins U, V und W liegen jeweils die invertierten Quadratursignale. So lassen sich direkt Leitungen an den Baustein anschließen. Eine weitere Konfiguration der Inkrementalsignale ist im Abschnitt "Sinus/Digital-Wandler" angegeben.

Über CFGO = '01' (Bild 20) stehen die Inkrementalsignale ABZ sowie die Kommutierungssignale UVW an den sechs Pins bereit. Solange während der Aufstartphase des Bausteins die aktuelle Winkelposition noch nicht verfügbar ist, sind alle Kommutierungssignale auf Low-Pegel.

Zur Übertragung der Kommutierungssignale über eine differentielle Leitung steht der dritte Modus mit CFGO = '10' (Bild 21) zur Verfügung. Die nichtinvertierten Signale befinden sich an den Pins U, V und W, die invertierten Signale an A, B und Z.

Im vierten Modus (Bild 22) sind Quadratursignale ABZ mit einstellbarer hoher Auflösung sowie Quadratursignale mit einer Periode pro Umdrehung verfügbar. Vier Segmente lassen sich über die Pins U und V unterscheiden. Diese Information kann für einen externen Periodenzähler genutzt werden, der die Anzahl der überstrichenen ganzen Umdrehungen zählt.

Im Register CFGDR kann die Eigenschaft der RS422-Treiber der angeschlossenen Leitung angepasst werden.

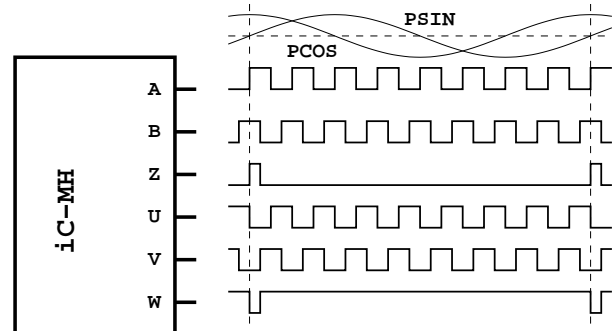


Bild 19: Komplementäre ABZ-Signale

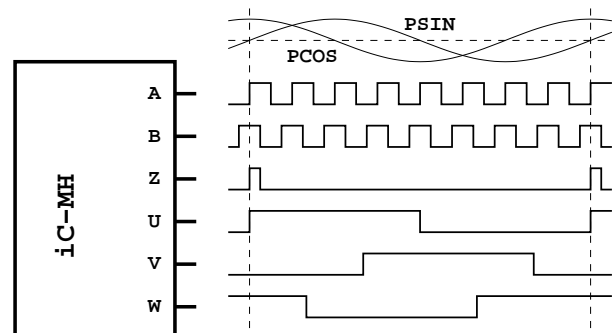


Bild 20: ABZ- und UVW-Signale

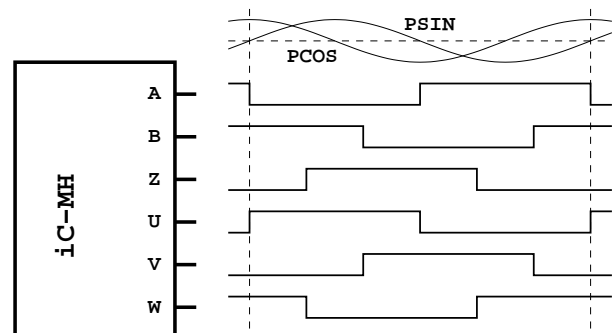


Bild 21: Komplementäre UVW-Signale

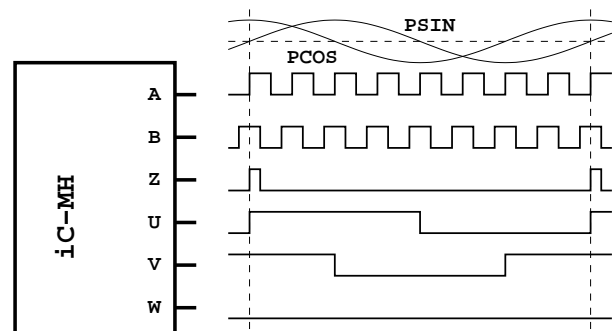


Bild 22: ABZ-Signale und Periodenzähler

CFGDR(1:0)	Adr 0x05; Bit 1:0
00	10 MHz 4 mA (default)
01	10 MHz 60 mA
10	300 kHz 60 mA
11	3 MHz 20 mA

Tab. 25: Treibereigenschaft

In der Einstellung CFGDR = '00' können Signale mit höchster Frequenz übertragen werden. Der Treiberfähigkeit beträgt mindestens 4 mA, ist aber nicht für eine 100 Ω-Leitung ausgelegt. Dieser Modus ist ideal für den Anschluss an einen Digitaleingang auf der selben Baugruppe. Mit der Einstellung CFGDR = '01' steht die gleiche Übertragungsgeschwindigkeit zur Verfügung und die Treiberleistung ist ausreichend für den Anschluss einer Leitung über kurze Distanz. Steile Flanken am Ausgang ermöglichen eine hohe Übertragungsrate. Eine kleinere Slew-Rate bietet die Einstel-

lung CFGDR = '10', die sich für längere Leitungen in elektromagnetisch sensibler Umgebung auszeichnet. Bei mittleren Übertragungsraten mit begrenzter Treiberfähigkeit bietet sich die Einstellung CFGDR = '11' an.

TRIDL	Adr 0x05; Bit 3:2
00	Push Pull Ausgangsstufe
01	Highside Treiber
10	Lowside Treiber
11	Tristate

Tab. 26: Tristate Register

Die Treiber bestehen jeweils aus einer Push-Pull-Stufe, deren Lowside- und Highside-Treiber einzeln deaktivierbar sind. So lassen sich ebenfalls Open-Drain-Ausgänge mit externem Pull-Up-Widerstand realisieren.

### Serielle Schnittstelle

Die serielle Schnittstelle dient zum Auslesen der Absolutposition sowie zur Konfiguration des Bausteins. Für

detaillierte Darstellung des Protokolls siehe auch die separate Schnittstellenspezifikation.

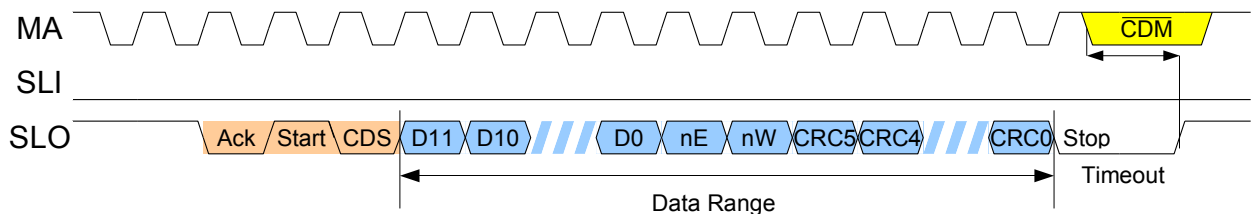


Bild 23: Datenprotokoll

Nachdem der Sensor in einer fixierten Zyklus-Startsequenz das Acknowledge-, Start- und Control-Bit gesendet hat, folgen die binären 12 Bit Sensordaten des Bausteins. Bei verminderter Auflösung werden führende Nullen mitgesendet. Das low-aktive Error-Bit nE meldet mit einer '0' einen Fehler, der durch Auslesen des Status-Registers 0x77 genauer diagnostiziert werden kann. Das folgende Bit nW ist immer auf '1'. Nach den 6 CRC-Bits folgen bei mehreren Sensoren im Bus die Daten des nächsten Sensors oder der Master hört auf, den Takt an der MA-Leitung zu generieren, und der Sensor läuft in ein Timeout, das die Kommunikation beendet.

Datenprotokoll	
Zyklus-Startsequenz	Ack/Start/CDS
Sensordatenlänge	12 Bit + nERR + nWARN
CRC Polynom	0b1000011
CRC Mode	invertiert
Multi Cycle Data	nicht vorhanden
max. Übertragungsrate	10 MHz

Tab. 27: Serielles Datenprotokoll

ENSSI	
Adr 0x05; Bit 7	
0	Adv. SSI-Mode
1	SSI-Mode

Tab. 28: Aktivierung SSI Modus

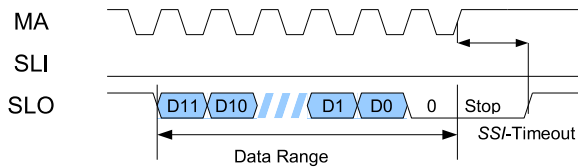


Bild 24: SSI-Protokoll, Daten GRAY codiert

Im SSI-Modus erfolgt die Ausgabe der Absolutposition mit 13 Bit nach dem SSI-Standard. Die Daten werden im gekappten Gray-Code übertragen, d. h. nach der Binärrückwandlung liegt der Wertebereich symmetrisch in der Mitte des Zahlenstrangs. Beispielsweise bei einer eingestellten Auflösung von 360 werden Werte zwischen 76 und 435 übertragen. Im SSI-Modus besteht dann allerdings nicht mehr die Möglichkeit, den Parametersatz zu variieren.

Der Registerbereich 0x00 bis 0x0F enthält die Einstellungen, die das iC parametrisieren. Diese Einstellungen haben direkt Auswirkung auf die entsprechenden Schaltungsteile. Zu beachten ist, dass das Testregister 0x0E nur beschrieben werden kann, wenn der Pin VZAP mit VPD verbunden ist. Ein Schreibzugriff auf das Testregister mit  $VZAP > 6V$  wird ignoriert. Das Register 0x0F kann bei Potentialen  $V(VZAP) > V_t(VZAP)_{hi}$  beschrieben werden. Der Bereich 0x10 bis 0x1F kann nur gelesen werden und spiegelt den Inhalt der integrierten Zapping-Dioden wider. Nach erfolgter Programmierung können über diese Adressen die Daten verifiziert werden. Nach dem Anlegen der Versorgungsspannung wird der Inhalt der Zapping-Dioden in den RAM-Bereich 0x00 bis 0x0F kopiert. Anschließend können die Einstellungen über die serielle Schnittstelle überschrieben werden. Ist das Bit CFGPROT gesetzt, ist ein Überschreiben nicht mehr möglich.

Fehler im Baustein werden über den Fehlermeldeausgang NERR gemeldet. Dieser Open-Drain-Ausgang signalisiert einen Fehler, wenn der Ausgang gegen VND gezogen wird. Ist die Fehlerbedingung nicht mehr vorhanden, dann wird nach einer Wartezeit von etwa 1 ms der Pin wieder freigegeben. Ist der integrierte Pull-Up-Widerstand über  $DPU = '1'$  deaktiviert, dann muss extern ein Widerstand vorgesehen werden. Ist der interne Pull-Up aktiviert, wird der Pin auf 'High' gezogen.

DPU		Adr 0x04; Bit 6
0		Pull-Up aktiviert
1		Pull-Up deaktiviert

Tab. 29: Aktivierung NERR Pull-Up

DLEN		Adr 0x43; Bit 3:0
2		CFGRES = '00000000', 4
3		CFGRES = '00000001', 8
4		CFGRES = '0000001x', 12 bis 16
5		CFGRES = '000001xx', 20 bis 32
6		CFGRES = '00001xxx', 36 bis 64
7		CFGRES = '0001xxxx', 68 bis 128
8		CFGRES = '001xxxxx', 132 bis 256
9		CFGRES = '01xxxxxx', 260 bis 512
10		CFGRES = '10000000', 1024
11		CFGRES = '10000001', 2048
12		CFGRES = '10000010', 4096

Tab. 30: Datenlänge

Mittels der Profil-Kennung kann das Datenformat für folgende Sensordaten Zyklen im Baustein erfragt werden. Eine Leseoperation auf Adresse 0x42 ergibt 0x2C, gleichbedeutend mit 12 Bit Single-Cycle-Daten. Im darauffolgenden Register 0x43 steht nun die Datenlänge DLEN der übertragenen Sensordaten entsprechend der eingestellten Auflösung. Die Sensordaten werden rechtsbündig übertragen und soweit nötig mit führenden Nullen aufgefüllt. Aus folgender Tabelle lässt sich die Datenlänge aus der Auflösung ablesen.

Das Statusregister gibt Auskunft über den Zustand des Bausteins. Es gibt 5 unterschiedliche Fehler, die gemeldet werden können. Nach erfolgloser Programmierung der Zap-Dioden wird das Bit PROGERR gesetzt. Wird versucht während der Aufstartphase die aktuelle Position über das serielle Interface zu lesen, wird über ERRSDATA ein Fehler gemeldet, da die Istposition noch nicht bekannt ist. Das Bit ERRAMAX meldet, sollte die Amplitude zu groß sein, das Bit ERRAMIN meldet eine zu kleine Amplitude, bedingt beispielsweise durch zu großen Abstand zum Magneten. Wird der NERR-Pin außerhalb des Bausteins gegen VND gezogen, dann wird über das serielle Interface dieser Fehler ebenfalls gemeldet. Das Bit ERREXT ist dann gleich '1'. Die Fehlerbits werden nach dem Auslesen des Statusregisters an der Adresse 0x77 wieder zurückgesetzt. Das Fehlerbit im Datenwort wird dann ebenfalls im nächsten Zyklus als '0' gelesen.

CFGTOS	CFGTOB	Timeout
0	0	16 $\mu$ s
1	0	2 $\mu$ s
x	1	2 $\mu$ s

Tab. 31: Timeout für Sensordaten

Über das Bit CFGTOS kann das Timeout auf einen kürzeren Wert programmiert werden. Diese Einstellung ist allerdings nach einem Reset wieder auf den Standardwert 16  $\mu$ s zurückgestellt. Das Timeout kann

über das Register CFGTOB fest über eine ZAP-Diode auf eine kürzere Datenübertragung programmiert werden. Ein Rückstellen auf eine langsamere Datenübertragung ist dann nicht mehr möglich.

Die Register 0x7D bis 0x7F sind für den Hersteller reserviert und können mit einer Kennung versehen werden, damit der Hersteller seine Bausteine identifizieren kann.

### OTP-Programmierung

CFGPROT	Adr 0x05; Bit 6
0	kein Schutz
1	Schreib-/Leseschutz

Tab. 32: Schreib-/Leseschutz der Konfiguration

Bei CFGPROT = '0' sind die Register an den Adressen 0x00 bis 0x0F und 0x78 bis 0x7F schreib- und lesbar. Die Adressen 0x10 bis 0x1F und 0x77 sind nur lesbar. Bei CFGPROT = '1' sind alle Register bis auf die Adressen 0x7B und 0x7C schreibgeschützt; die Adressen 0x77 bis 0x7F sind lesbar, alle anderen lesegeschützt.

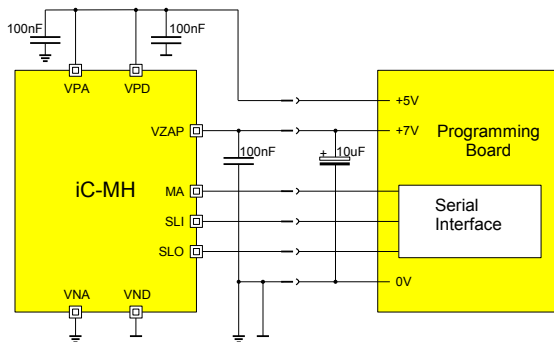


Bild 25: Programmierung im System

Durch Setzen des Bits PROGZAP wird ein interner Programmieralgorithmus für die ZAP-Dioden gestartet. Dieser Prozess kann nur zum Erfolg führen, wenn die spezifizizierte Programmierspannung zwischen VZAP und VNA anliegt und wenn das Testregister TEST = 0x00 ist. Nach erfolgter Programmierung wird das Bit PROGZAP intern wieder zurückgesetzt. Dabei wird im Statusregister (Adresse 0x77) bei erfolgreicher Programmierung das Bit PROGOK gesetzt, sonst das Bit PROGERR.

Die angegebene erforderliche Zap-Spannung VZAP-VNA bezieht sich auf die Potenziale direkt am IC. Spannungsspitzen und Spannungsabfälle an Zuleitungen können das Programmierergebnis verfälschen. Daher ist auf dem Board ein Keramik-Blockkondensator

von 100 nF direkt zwischen dem VZAP- und dem VNA-Pin des iC-MH sowie ein 10-µF-Kondensator unmittelbar an der Programmierzuleitung vorzusehen. Während des Programmierens fließen bis zu 100 mA von Pin VZAP zu Pin VNA; Spannungsabfälle an Zuleitungen und Kontaktwiderständen sind entsprechend zu minimieren.

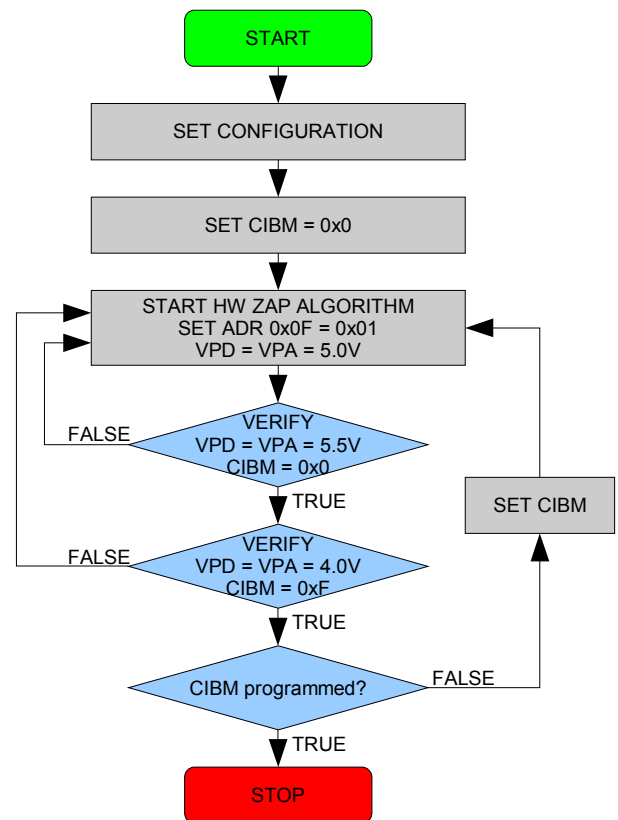


Bild 26: Programmieralgorithmus

Nach erfolgtem Abgleich kann die Konfiguration in den Baustein geschrieben werden. Dazu wird der Inhalt der RAM-Bits in die ROM-Zapping-Struktur übertragen. Zunächst wird CIBM an Adresse 0x04 auf 0x0 gesetzt und über das Bit PROGZAP der Hardware-Programmieralgorithmus gestartet. Die Programmierung sollte mit den grenzwertigen Einstellungen für CIBM und den Versorgungsspannungen VPA, VPD nach Bild

26 überprüft werden, indem die Zap-Strukturen über das serielle Interface ausgelesen werden.

War die Programmierung nicht erfolgreich, kann der Hardware-Programmialgorithmus wiederholt werden. Anschließend wird nun der Bias-Strom im Regis-

ter CIBM programmiert. Dazu werden sämtliche RAM-Bits auf 0x00 gestellt, lediglich das Register CIBM wird mit dem zuvor ermittelten Abgleichwert beschrieben und der Programmialgorithmus gestartet. Die Programmierung war dann erfolgreich, wenn alle Bits geschrieben wurden.

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2008 und folgende, jährlich herausgegeben vom Statistischen Bundesamt, Wiesbaden, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007 und folgender.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

**BESTELLINFORMATION**

Typ	Gehäuse	Bestellbezeichnung
iC-MH iC-MH Evaluationsboard	QFN28	iC-MH QFN28 iC-MH EVAL MH1D

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

**iC-Haus GmbH**  
Am Kuemmerling 18  
55294 Bodenheim

**Tel.: (0 61 35) 92 92-0**  
**Fax: (0 61 35) 92 92-192**  
**Web: <http://www.ichaus.com>**  
**E-Mail: [sales@ichaus.com](mailto:sales@ichaus.com)**

**Autorisierte Distributoren nach Region: [http://www.ichaus.de/support\\_distributors.php](http://www.ichaus.de/support_distributors.php)**