

iC-MFN

8-FOLD FAIL-SAFE N-FET DRIVER

Zielspezifikation



Ausgabe A2, Seite 1/13

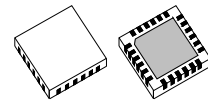
EIGENSCHAFTEN

- ◆ 8-fach Level-Shifter auf bis zu 40 V Ausgangsspannung
- ◆ Eingänge kompatibel zu TTL- und CMOS-Pegeln, spannungsfest bis 40 V
- ◆ Spannungshub der Ausgänge einstellbar auf 5 V, 10 V oder Versorgungsspannung
- ◆ Kurzschlussfeste Push-Pull-Stromquellen zum langsamen Ansteuerung von FET-Transistoren
- ◆ Sicherer Low-Zustand der Ausgänge bei Einfachfehlern
- ◆ Überwachung der Anschlüsse von Masse und Versorgungsspannung
- ◆ Statusausgang für Fehlermeldungen und Systemdiagnose
- ◆ Temperaturbereich von -40 bis +125 °C
- ◆ ESD-Schutzbeschaltung

ANWENDUNGEN

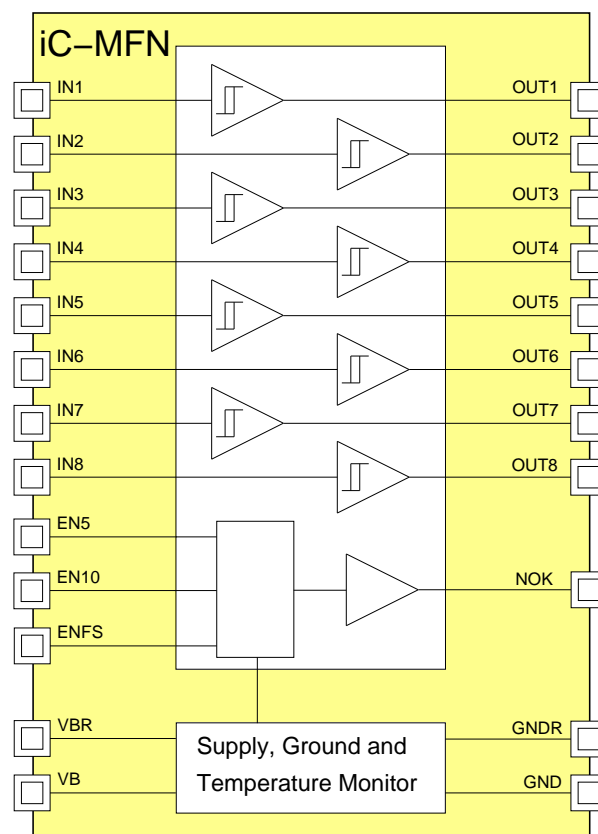
- ◆ Betrieb von n-FETs aus 1.8 V-, 2.5 V-, 3.3 V-, 5 V-Systemen

GEHÄUSE



QFN24

BLOCKSCHALTBILD



KURZBESCHREIBUNG

iC-MFN ist ein monolithisch integrierter, achtkanaliger Pegelanpassungsbaustein zur Ansteuerung von n-Kanal-FETs. Die internen Schaltungsblöcke sind dabei so aufgebaut, dass die Ausgangsstufen des iC-MFN bei Einfachfehlern durch offene Pins oder Kurzschluss zweier Ausgänge in den sicheren, definierten Low-Zustand gehen. Der iC-MFN schaltet somit bei einem Einfachfehler einen extern angeschlossenen n-Kanal-FET aus.

Die Eingänge der acht Kanäle bestehen aus einem Schmitt-Trigger mit Pull-Down-Stromquelle und sind zu TTL- und CMOS-Pegeln kompatibel und bis 40 V spannungsfest. Die acht Kanäle haben am Ausgang eine strombegrenzte Push-Pull-Endstufe und einen Pull-Down-Widerstand. Durch den hi-Pegel an einem Eingang EN5, EN10 oder ENFS wird der hi-Pegel der Ausgangsspannung mit 5 V, 10 V oder Versorgungsspannung definiert und freigegeben. Bei lo-Pegel an allen Eingängen EN5, EN10 und ENFS oder hi-Pegel an mehr als einem dieser Eingänge wird der hi-Pegel an den Ausgängen gesperrt.

Der Baustein iC-MFN überwacht die Versorgungsspannungen an VB und VBR und die Spannungen an den beiden Masseanschlüssen GND und GNDR. Jeweils beide Versorgungsspannungen und Masseanschlüsse müssen extern miteinander verbunden werden, um im Fehlerfall den sicheren Low-Zustand der Ausgangsstufen zu gewährleisten.

Falls die Versorgungsspannung an VB unter eine definierte Schwelle fällt, erzeugt die Spannungsüberwachung ein internes Fehlersignal, mit dem die Ausgänge aktiv über die Low-Side-Transistoren mit GND verbunden werden. Fällt das Massepotenzial an GND weg, so sind die Ausgänge über Pull-Down-Widerstände mit GNDR verbunden.

Pull-Down-Ströme sorgen an offenen Eingängen IN1...8, EN5, EN10 und ENFS für den sicheren lo-Pegel. Die Pull-Down-Ströme sind zweistufig ausgeführt, um bei erhöhter Störsicherheit die Verlustleistung klein zu halten.

Falls sich beim Kurzschluss zweier Ausgänge eine Ausgangsstufe im Low- und die andere im High-Zustand befindet, so überwiegt die Stromfähigkeit des Low-Side-Treibers und hält somit die angeschlossenen n-Kanal-FETs im sicheren ausgeschalteten Zustand.

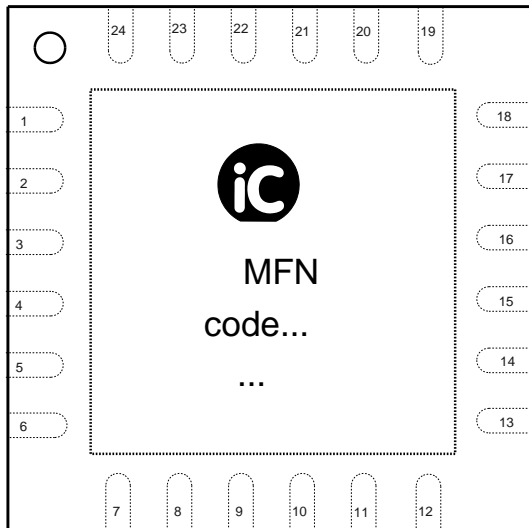
Der aktuelle Status des Bausteins wird über den Open-Drain Pin NOK signalisiert und kann zum Beispiel durch Messung der Pulse beim Ein- und Ausschalten einzelner Kanäle zur Systemdiagnose verwendet werden.

Die Temperaturüberwachung schützt den Baustein vor Zerstörung durch zu hohe Verlustleistung.

Der Baustein ist gegen Zerstörung durch ESD geschützt.

GEHÄUSE QFN24 4 mm x 4 mm nach JEDEC-Standard

ANSCHLUSSBELEGUNG QFN24 (von oben)



PIN-FUNKTIONEN

Nr. Name Funktion

1	OUT1	Ausgang Kanal 1
2	VB	Spannungsversorgung
3	VBR	Spannungsversorgung (R)
4	EN5	Enable-Eingang hi-Pegel = 5 V
5	EN10	Enable-Eingang hi-Pegel = 10 V
6	IN1	Eingang Kanal 1
7	IN2	Eingang Kanal 2
8	IN3	Eingang Kanal 3
9	IN4	Eingang Kanal 4
10	IN5	Eingang Kanal 5
11	IN6	Eingang Kanal 6
12	IN7	Eingang Kanal 7
13	IN8	Eingang Kanal 8
14	NOK	Status Ausgang
15	ENFS	Enable-Eingang Fullscale hi-Pegel = VB
16	GNDR	Masse (R)
17	GND	Masse
18	OUT8	Ausgang Kanal 8
19	OUT7	Ausgang Kanal 7
20	OUT6	Ausgang Kanal 6
21	OUT5	Ausgang Kanal 5
22	OUT4	Ausgang Kanal 4
23	OUT3	Ausgang Kanal 3
24	OUT2	Ausgang Kanal 2
	TP	Thermal-Pad

Das *Thermal-Pad* auf der Gehäuseunterseite ist in geeigneter Weise mit GND zu verbinden (*Ground Plane*). Verbindungen zwischen GND, GNDR und dem Thermal Pad sollten mit der System-FMEA abgestimmt sein.

GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen			Einh.
				Min.	Max.	
G001	VB, VBR	Versorgungsspannung		-0.3	40	V
G002	V()	Spannung an OUT1...8, NOK		-0.3	40	V
G003	V()	Spannung an IN1...8, EN5, EN10, ENFS		-0.3	40	V
G004	V(GNDR)	Spannung an GNDR gegen GND		-0.3	0.3	V
G005	V(GND)	Spannung an GND gegen GNDR		-0.3	0.3	V
G006	V(VBR)	Spannung an VBR gegen VB		-0.3	0.3	V
G007	V(VB)	Spannung an VB gegen VBR		-0.3	0.3	V
G008	Imx()	Strom in OUT1...8, NOK, IN1...8, EN5, EN10, ENFS		-10	10	mA
G009	Imx()	Strom in VB, VBR		-10	80	mA
G010	Imx()	Strom in GND, GNDR		-80	10	mA
G011	Vd()	Zulässige ESD-Prüfspannung an allen Pins	HBM 100 pF entladen über 1.5 kΩ		2	kV
G012	Tj	Chip-Temperatur		-40	140	°C
G013	Ts	Lager-Temperatur		-55	125	°C

THERMISCHE DATEN

Betriebsbedingungen: VB = VBR = 4.5...40 V, GND = GNDR = 0 V

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.	Typ	Max.	Einh.
T01	Ta	Zulässiger Umgebungstemperaturbereich		-40		125	°C
T02	Rthja	Thermischer Widerstand Chip/Umgebung	auf Board gelötet, ohne besondere Kühlflächen.			75	K/W

iC-MFN

8-FOLD FAIL-SAFE N-FET DRIVER

Zielspezifikation



Ausgabe A2, Seite 5/13

KENNDATEN

Betriebsbedingungen: VB = VBR = 4.5...40 V, GND = GNDR = 0 V, Tj = -40...125 °C, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ	Max.	
Allgemeines									
001	VB	Zulässige Versorgungsspannung				4.5		40	V
002	I(VB)	Versorgungsstrom in VB	ohne Last, EN5 = lo, EN10 = lo, ENFS = lo			1.2		3.6	mA
003	I(VB)	Versorgungsstrom in VB	ohne Last, EN5 = hi, EN10 = lo, ENFS = lo, IN1..IN8 = hi, VB = 8..40 V			3.2		6.6	mA
004	I(VB)	Versorgungsstrom in VB	ohne Last, EN5 = lo, EN10 = hi, ENFS = lo, IN1..IN8 = hi, VB = 13..40 V			3.2		6.8	mA
005	I(VB)	Versorgungsstrom in VB	ohne Last, EN5 = lo, EN10 = lo, ENFS = hi, IN1..IN8 = hi, VB = 4.5..40 V			1.3		6.6	mA
006	I(VBR)	Versorgungsstrom in VBR					tbd		mA
007	I(GND)	Strom in GND	ohne Last			-7			mA
008	I(GNDR)	Strom in GNDR	ohne Last, alle OUTx = lo				tbd		mA
Current-Driver OUT1...8									
101	Vc(OUTx)hi	Klemmspannung hi	I() = 10 mA			42		60	V
102	Vc(OUTx)lo	Klemmspannung lo gegen niedrigstes Potenzial von GND, GNDR	I() = -10 mA			-2		-0.4	V
103	Vs(OUTx)hi	Sättigungsspannung hi gegen VB	Vs()hi = VB - V(), INx = hi, ENFS = hi; I() = -0.5 mA I() = -2 mA					0.2 0.8	V V
104	Vs(OUTx)lo	Sättigungsspannung lo gegen GND	I() = 0.5 mA I() = 2 mA					0.2 0.8	V V
105	Vr(OUTx)	Ausgangsspannung geregelt Leerlauf	EN5 = hi, INx = hi, I() = 0 mA			4.7	5	5.3	V
106	Vr(OUTx)	Ausgangsspannung geregelt Leerlauf	EN10 = hi, INx = hi, I() = 0 mA			9.4	10	10.6	V
107	Ri(OUTx)	Ausgangswiderstand	EN10 = hi oder EN5 = hi, INx = hi, I() = ± 2 mA			100		500	Ω
108	VI(OUTx)	Ausgangsspannung	I(OUTx) = 2 μA, GND offen					600	mV
109	Ipd(OUTx)	Pull-Down-Strom	V(OUTx) = 1 V, GND offen			30		120	μA
110	Rpd(OUTx)	Pull-Down-Widerstand an OUTx gegen GNDR	VB, VBR, V(OUTx) = 10 V, GND offen			50		300	kΩ
111	Rpd(OUTx)	Pull-Down-Widerstand an OUTx gegen GNDR	VB, VBR, V(OUTx) = 40 V, GND offen			100		600	kΩ
112	Isc(OUTx)lo	Kurzschlussstrom lo	V() = 0.8 V...VB			2	3.6	10	mA
113	Isc(OUTx)hi	Kurzschlussstrom hi	V() = 0...VB - 0.8 V			-10	-3	-2	mA
114	Vsh(OUTx)	Ausgangsspannung bei Kurzschluss zweier Ausgänge	EN5 = hi, bei zwei unterschiedlichen Eingangssignalen hi und lo					1	V
115	Vsh(OUTx)	Ausgangsspannung bei Kurzschluss zweier Ausgänge	EN10 = hi oder ENFS = hi, bei zwei unterschiedlichen Eingangssignalen hi und lo					1.3	V
116	Vt(OUTx)hi	Schwellspannung hi Überwachungskomparator	Vt() = Vr() - V() oder Vt() = VB - V()			0.8			V
117	Vt(OUTx)lo	Schwellspannung lo Überwachungskomparator	Vt() = Vr() - V() oder Vt() = VB - V()					2.2	V
118	Vt()hys	Hysterese	Vt()hys = Vt()lo - Vt()hi			50		300	mV

KENNDATEN

Betriebsbedingungen: VB = VBR = 4.5... 40 V, GND = GNDR = 0 V, Tj = -40... 125 °C, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.	
						Min.	Typ	Max.		
Input IN1...8, EN5, EN10, ENFS										
201	Vc()hi	Klemmspannung hi	I() = 10 mA			42		60	V	
202	Vc()lo	Klemmspannung lo gegen niedrigstes Potential von GND, GNDR	I() = -10 mA			-2		-0.4	V	
203	Vt()hi	Schwellspannung hi				1.15		1.4	V	
204	Vt()lo	Schwellspannung lo				0.8		1.05	V	
205	Vt()hys	Hysterese	Vt()hys = Vt()hi - Vt()lo			200		400	mV	
206	Ipd1()	Pull-Down-Strom 1	0.4 V < V() < Vt()hi		5	75	225	350	µA	
207	Ipd2()	Pull-Down-Strom 2	V() > 1.4 V		5	20	45	70	µA	
208	Cin()	Eingangskapazität						20	pF	
209	Ii()	Leckstrom	VB, VBR = 0 V, V() = 0..40 V			-10		10	µA	
Supply, Temp-Monitor										
301	VBon	Einschaltswelle VB				3.8		4.3	V	
302	VBoff	Abschaltswelle VB	abnehmende Spannung VB			3.4		4.0	V	
303	VBhys	Hysterese	VBhys = VBon - VBoff			200			mV	
304	Toff	Abschalttemperatur	steigende Temperatur			145	160	180	°C	
305	Ton	Einschalttemperatur	fallende Temperatur			130	147	170	°C	
306	Thys	Hysterese	Thys = Toff - Ton				13		°C	
Ground-Monitor GND, GNDR										
401	Vt()hi	Schwellspannung hi GND-Überwachung	Bezogen auf GNDR					270	mV	
402	Vt()lo	Schwellspannung lo GND-Überwachung	Bezogen auf GNDR			50			mV	
403	Vt()hys	Hysterese	Vt()hys = Vt()hi - Vt()lo			5		100	mV	
404	Vt()hi	Schwellspannung hi GNDR-Überwachung	Bezogen auf GND					270	mV	
405	Vt()lo	Schwellspannung lo GNDR-Überwachung	Bezogen auf GND			50			mV	
406	Vt()hys	Hysterese	Vt()hys = Vt()hi - Vt()lo			5		100	mV	
407	Vc()hi	Klemmspannung hi gegen GND	I() = 1 mA			0.4		2	V	
408	Vc()lo	Klemmspannung lo gegen GND	I() = -1 mA			-2		-0.4	V	
Statusausgang NOK										
501	Vc(NOK)hi	Klemmspannung hi	I(NOK) = 10 mA			42		60	V	
502	Vc(NOK)lo	Klemmspannung lo gegen niedrigstes Potenzial von GND, GNDR	I(NOK) = -10 mA			-2		-0.4	V	
503	Ii(NOK)	Leckstrom	GND < V(NOK) < VB			-20		20	µA	
504	Vs(NOK)lo	Sättigungsspannung lo gegen GND	I() = 0.5 mA I() = 2 mA					0.2 0.8	V V	
505	Isc(NOK)lo	Kurzschlussstrom lo	V() = 0.8 V... VB			2	3	10	mA	
Supply-Monitor VB, VBR										
601	Vt(VB)hi	Schwellspannung hi VB-Überwachung	Bezogen auf VBR					270	mV	
602	Vt(VB)lo	Schwellspannung lo VB-Überwachung	Bezogen auf VBR			50			mV	
603	Vt(VB)hys	Hysterese	Vt()hys = Vt()hi - Vt()lo			5		100	mV	
604	Vt(VBR)hi	Schwellspannung hi VBR-Überwachung	Bezogen auf VB					270	mV	
605	Vt(VBR)lo	Schwellspannung lo VBR-Überwachung	Bezogen auf VB			50			mV	
606	Vt(VBR)hys	Hysterese	Vt()hys = Vt()hi - Vt()lo			5		100	mV	
607	Vc(VBR)hi	Klemmspannung hi gegen VB	I() = 1 mA, Vc() = V(VBR) - V(VB)			0.4		2	V	

KENNDATEN

Betriebsbedingungen: VB = VBR = 4.5... 40 V, GND = GNDR = 0 V, Tj = -40... 125 °C, wenn nicht anders angegeben

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ	Max.	
608	Vc(VBR)lo	Klemmspannung lo gegen VB	I() = -1 mA, Vc() = V(VBR) - V(VB)			-2		-0.4	V
Testmode EN5, EN10, ENFS									
701	Vt()hi	Schwellspannung hi Testdisable	EN5 = EN10 = ENFS					-60	mV
702	Vt()lo	Schwellspannung lo Testenable	EN5 = EN10 = ENFS			-320			mV
703	Vt()hys	Hysterese	Vt()hys = Vt()hi - Vt()lo			50		160	mV
Timing									
901	tp(OUTx)	Durchlaufverzögerung INx, EN5 → OUTx	{{INx,EN5}lo → hi} → 90 %OUTx {{INx,EN5}hi → lo} → 10 %OUTx Cl() = 100 pF		1	0.45		1.1	µs
902	tp(OUTx)	Durchlaufverzögerung INx, EN5 → OUTx	{{INx,EN5}lo → hi} → 90 %OUTx {{INx,EN5}hi → lo} → 10 %OUTx Cl() = 1 nF		1	1.3		2.4	µs
903	tp(OUTx)	Durchlaufverzögerung INx, EN5 → OUTx	{{INx,EN5}lo → hi} → 90 %OUTx {{INx,EN5}hi → lo} → 10 %OUTx Cl() = 2 nF		1	2.2		3.7	µs
904	tp(OUTx)	Durchlaufverzögerung INx, EN5 → OUTx	{{INx,EN5}lo → hi} → 90 %OUTx {{INx,EN5}hi → lo} → 10 %OUTx Cl() = 5 nF		1	5		8.1	µs
905	tp(OUTx)	Durchlaufverzögerung INx, EN10 → OUTx	{{INx,EN10}lo → hi} → 90 %OUTx {{INx,EN10}hi → lo} → 10 %OUTx Cl() = 100 pF		1	0.7		1.6	µs
906	tp(OUTx)	Durchlaufverzögerung INx, EN10 → OUTx	{{INx,EN10}lo → hi} → 90 %OUTx {{INx,EN10}hi → lo} → 10 %OUTx Cl() = 1 nF		1	2.3		4.1	µs
907	tp(OUTx)	Durchlaufverzögerung INx, EN10 → OUTx	{{INx,EN10}lo → hi} → 90 %OUTx {{INx,EN10}hi → lo} → 10 %OUTx Cl() = 2 nF		1	3.9		7.1	µs
908	tp(OUTx)	Durchlaufverzögerung INx, EN10 → OUTx	{{INx,EN10}lo → hi} → 90 %OUTx {{INx,EN10}hi → lo} → 10 %OUTx Cl() = 5 nF		1	9		16	µs
909	tp(OUTx)	Durchlaufverzögerung INx, ENFS → OUTx	{{INx,ENFS}lo → hi} → 90 %OUTx {{INx,ENFS}hi → lo} → 10 %OUTx Cl() = 100 pF		1	1.4		3.1	µs
910	tp(OUTx)	Durchlaufverzögerung INx, ENFS → OUTx	{{INx,ENFS}lo → hi} → 90 %OUTx {{INx,ENFS}hi → lo} → 10 %OUTx Cl() = 1 nF		1	5.2		9.8	µs
911	tp(OUTx)	Durchlaufverzögerung INx, ENFS → OUTx	{{INx,ENFS}lo → hi} → 90 %OUTx {{INx,ENFS}hi → lo} → 10 %OUTx Cl() = 2 nF		1	9.2		16.7	µs
912	tp(OUTx)	Durchlaufverzögerung INx, ENFS → OUTx	{{INx,ENFS}lo → hi} → 90 %OUTx {{INx,ENFS}hi → lo} → 10 %OUTx Cl() = 5 nF		1	20		35	µs
913	dV()/dt	Flankensteilheit	VB = 24 V, Cl() = 100 pF			7		18	V/µs
914	dV()/dt	Flankensteilheit	VB = 24 V, CL() = 1 nF			2.2		4.5	V/µs
915	dV()/dt	Flankensteilheit	VB = 24 V, CL() = 2 nF			1.2		2.5	V/µs
916	dV()/dt	Flankensteilheit	VB = 24 V, CL() = 5 nF			0.5		1.2	V/µs

KENNDATEN: Diagramme

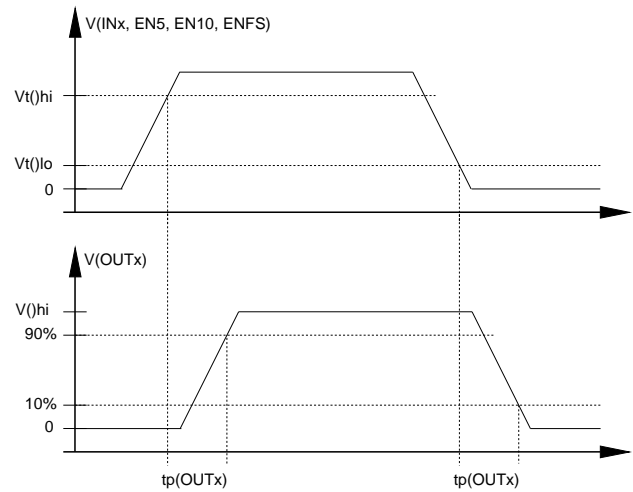


Bild 1: Verzögerungszeiten

FUNKTIONSBESCHREIBUNG

Einstellung des hi-Pegels der Ausgangsspannung

Der Baustein iC-MFN hat drei einstellbare hi-Pegel zur Ansteuerung von n-Kanal Fets. Der eingestellte hi-Pegel wirkt auf alle Ausgänge OUTx gemeinsam und kann nicht positiver als die Versorgungsspannung VB werden. Die Eingänge zur Einstellung des hi-Pegels sind gleichzeitig die Eingänge zur Freigabe des hi-Pegels an den Ausgängen OUTx des Bausteins. Der hi-Pegel an genau einem Eingang EN5, EN10 oder ENFS stellt den Spannungswert des hi-Pegels ein und gibt die Ausgänge OUTx frei. Falls mehr als ein Eingang hi-Pegel hat bleiben die Ausgänge gesperrt. Die hi-Pegel 5 V (eingestellt mit EN5 = hi) und 10 V (eingestellt mit EN10 = hi) werden mit einer internen Spannungsreferenz erzeugt und geregelt. Der hi-Pegel VB (eingestellt mit ENFS = hi) ist ungeregelt eine Verbindung zu VB. In diesem Zustand ist der Spannungshub an den Ausgängen OUTx direkt von der Versorgungsspannung VB abhängig.

Ausgangskennlinie High-Side-Transistor

Die High-Side-Ausgangstransistoren an den acht Kanälen zeigen bei kleiner Spannung ($V_B - V(\text{OUT}_x)$) ein Widerstandsverhalten und bei größeren Spannungen das Verhalten einer Stromquelle mit endlichem Ausgangswiderstand.

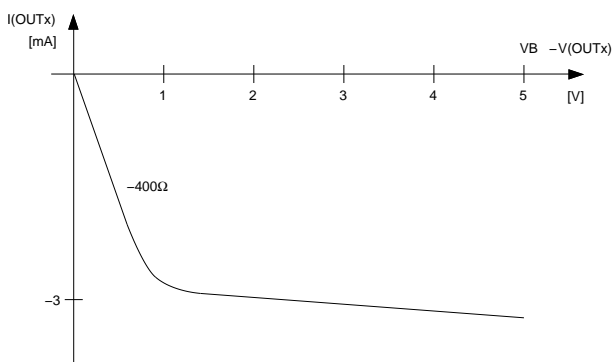


Bild 2: Ausgangskennlinie des High-Side-Transistors an OUTx

Ausgangskennlinie des spannungsgeregelten Push-Pull-Ausgangs an OUTx

Der hi-Pegel 5 V und 10 V wird mit einem geregelten Push-Pull-Ausgang erzeugt. Bei kleinen Spannungsänderungen hat der Ausgang ein Widerstandsverhalten und bei größeren Spannungen das Verhalten einer Stromsenke oder Stromquelle mit endlichem Ausgangswiderstand.

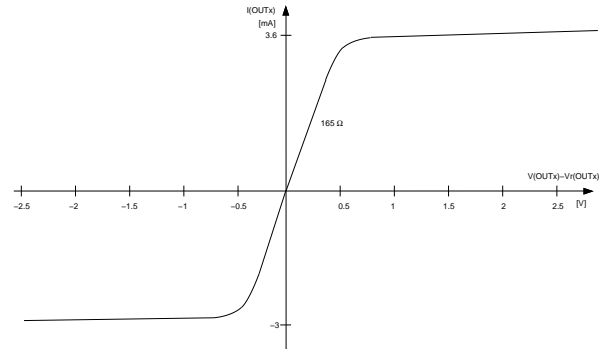


Bild 3: Ausgangskennlinie des spannungsgeregelten Push-Pull-Ausgangs an OUTx

Ausgangskennlinie Low-Side-Transistor

Die Low-Side-Ausgangstransistoren an den acht Kanälen zeigen bei kleiner Spannung $V(\text{OUT}_x)$ ein Widerstandsverhalten und bei größeren Spannungen das Verhalten einer Stromsenke mit endlichem Ausgangswiderstand.

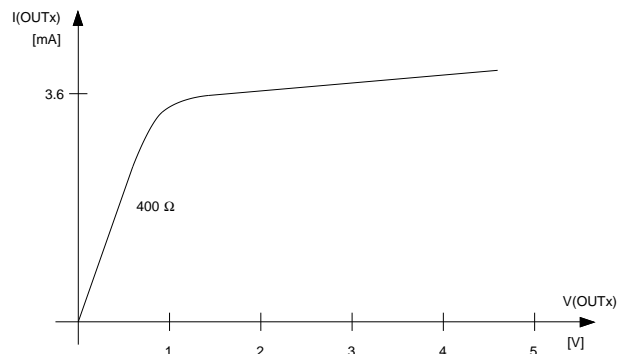


Bild 4: Ausgangskennlinie des Low-Side-Transistors an OUTx

Statusausgang NOK

Der Statusausgang NOK ist ein strombegrenzter Open-Drain Ausgang gegen GND, der bis 40 V spannungsfest ist. Der Ausgangstransistor ist eingeschaltet wenn der hi-Pegel der Ausgänge OUTx durch einen ENx Pin freigegeben ist, die Ausgänge OUTx auf die durch die Eingänge INx definierten Pegel eingeschwungen sind, die Versorgungsspannung gross genug ist, die Temperatur unterhalb der Abschalttemperatur ist und alle Versorgungsspannungspins angeschlossen sind.

Pull-Down-Ströme

Um an den Eingängen INx, EN5, EN10 und ENFS eine erhöhte Störsicherheit bei begrenzter Verlustleistung zu erreichen, sind an diesen Pins die Pull-Down-Ströme zweistufig ausgeführt. Bei ansteigender Spannung an den Eingangspins INx, EN5, EN10 und ENFS bleibt der Pull-Down-Strom bis $V_t()_{hi}$ (Kenn-Nr. 203) hoch; oberhalb dieser Schwelle wird auf einen kleineren Pull-Down-Strom umgeschaltet. Sinkt die Spannung unter $V_t()_{lo}$ (Kenn-Nr. 204), so wird wieder auf den größeren Pull-Down-Strom zurückgeschaltet.

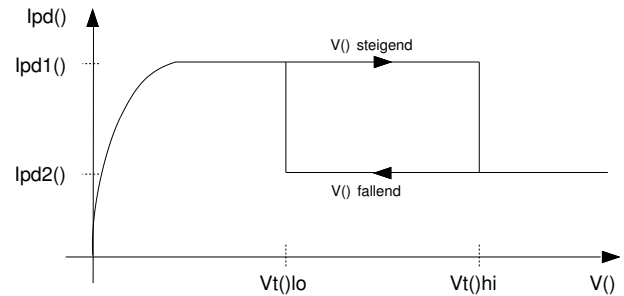


Bild 5: Pull-Down-Ströme an INx, EN5, EN10 und ENFS

ERKENNUNG VON EINFACHFEHLERN

Sicherheitsrelevante Anwendungen erfordern bei der Erkennung von Einfachfehlern das definierte Ausschalten von extern angeschlossenen Schalttransistoren. Einfachfehler können dabei durch einen offenen Pin (z. B. bei einem Bonddrahtabriss oder einer schlechten Lötstelle) oder durch den Kurzschluss zweier Pins auftreten. Befindet sich beim Kurzschluss zweier Ausgänge eine Ausgangsstufe im Low- und die andere im High-Zustand, so überwiegt die Stromfähigkeit des Low-Side-Treibers und hält somit die angeschlossenen n-Kanal-FETs im sicheren ausgeschalteten Zustand. Bei offenen Pins schaltet der Baustein iC-MFN die Ausgangsstufen über Pull-Down-Widerstände und über Pull-Down-Stromquellen in den sicheren, definierten Low-Zustand, so dass ein extern angeschlossener n-Kanal-FET ausgeschaltet wird. Im Folgenden werden die Ausgangskennlinien und die Mechanismen zur Erreichung des Low-Zustandes beim Wegfall einer der Versorgungsleitungen VB, VBR, GND oder GNDR beschrieben.

Wegfall von VB

Bei Wegfall der Versorgungsspannung an VB werden die Ausgänge über die Low-Side-Treiber aktiv auf GND gezogen.

Wegfall von GNDR

Bei Wegfall des Massepotenzials an GNDR werden die Ausgänge über die Low-Side-Treiber aktiv auf GND gezogen.

Wegfall von VBR

Bei Wegfall der Versorgungsspannung an VBR werden die Ausgänge über die Low-Side-Treiber aktiv auf GND gezogen.

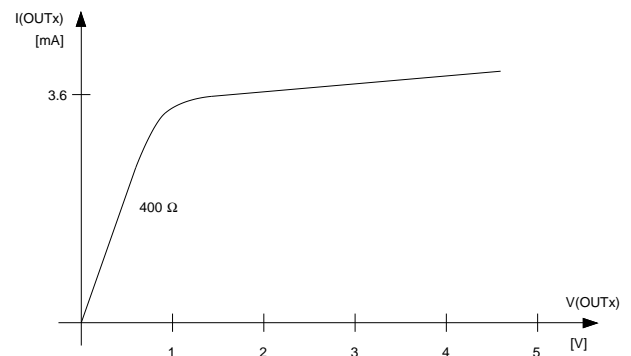


Bild 6: Ausgangskennlinie an OUTx für den Wegfall von VB, VBR oder GNDR

Wegfall von GND

Die Ausgänge werden bei Wegfall des Massepotenzials an GND über Stromquellen und Pull-Down-Widerstände von typisch 200 kΩ auf GNDR gezogen. Die Widerstände bilden einen passiven Pfad vom Gate eines externen Schalttransistors nach GNDR.

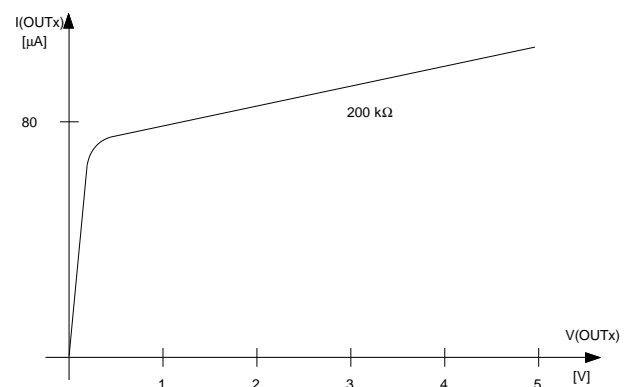


Bild 7: Ausgangskennlinie an OUTx für den Wegfall von GND

APPLIKATIONSHINWEISE

Typische Anwendung

Ein typisches Anwendungsfeld des iC-MFN ist der Betrieb von n-FETs mit Mikroprozessorausgangssignalen, wie im Bild 8 dargestellt.

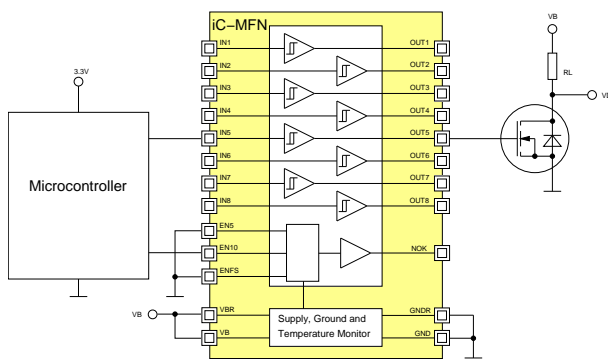


Bild 8: Typische Anwendung

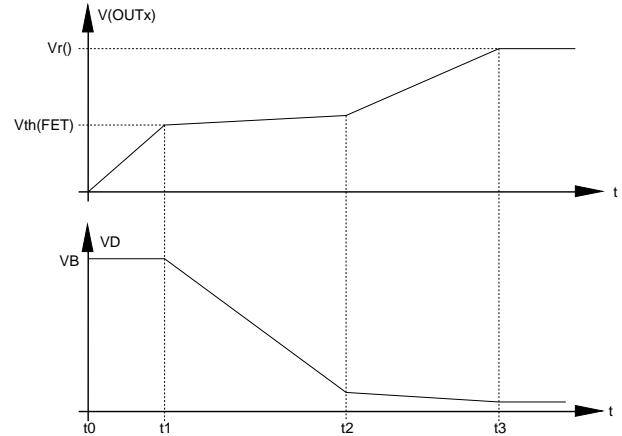


Bild 9: Einschalten eines Transistors

$$t_{t0..t1}[\mu s] = C_{iss} @ (V_{ds} = hi) \times \frac{V_{th}(FET)}{-I_{sc}(OUTx)hi} \quad (1)$$

$$t_{t1..t2}[\mu s] = C_{rss} @ (V_{ds} = hi) \times \frac{VB}{-I_{sc}(OUTx)hi} \quad (2)$$

$$t_{t2..t3}[\mu s] = C_{iss} @ (V_{ds} = lo) \times \frac{V_r(OUTx) - V_{th}(FET)}{-I_{sc}(OUTx)hi} \quad (3)$$

$$t_{on} = t_{t0..t1} + t_{t1..t2} + t_{t2..t3} \quad (4)$$

$C_{iss} = C_{gs} + C_{gd}$ = spannungsabhängige Gate-Source und Gate-Drain-Kapazität [nF]

$C_{rss} = C_{gd}$ = spannungsabhängige Gate-Drain-Kapazität [nF]

$I_{sc}(OUTx)hi$ = Kurzschlussstrom hi in OUTx [mA]

$t_{t0..t1}$ = Zeit bis das Miller-Plateau erreicht wird [μs]

$t_{t1..t2}$ = Zeit der Flanke am Drain (Miller-Plateau) [μs]

$t_{t2..t3}$ = Zeit bis die statische Gate-Spannung erreicht wird [μs]

t_{on} = gesamte Einschaltzeit [μs]

VB = Versorgungsspannung VB [V]

$V_r(OUTx)$ = eingestellte statische Einschaltspannung an OUTx [V]

$V_{th}(FET)$ = Schwellspannung des Transistors [V]

Das langsame Einschalten eines FET-Transistors erfolgt durch die Ansteuerung mit einem strombegrenzten Treiber. Das Bild 9 zeigt die verschiedenen Zeitabschnitte eines Einschaltvorgangs mit Widerstandslast. Im Abschnitt von Zeitpunkt t_0 bis t_1 wird das Gate des Transistors bis zur Schwellspannung $V_{th}(FET)$ geladen und ist eine Totzeit bis der Transistor anfängt zu leiten. Im Abschnitt von Zeitpunkt t_1 bis t_2 bleibt die Gatespannung nahezu konstant (Miller-Plateau) während sich die Drain-Spannung ändert. Die Flankensteilheit am Drain hängt vom Ausgangsstrom des Treibers und der spannungsabhängigen Gate-Drain-Kapazität des Transistors ab. Im Abschnitt von Zeitpunkt t_2 bis t_3 steigt die Gatespannung auf den eingestellten statischen Wert. Der Transistor wird dadurch niederohmig und seine Verlustleistung minimiert sich. Die Gleichungen 1 bis 4 sind stark vereinfacht und ermöglichen eine Abschätzung der Zeitverläufe anhand von Daten aus den Spezifikationen des Treiberbausteins iC-MFN und des verwendeten Transistors. Das Ausschalten sieht dem Einschalten sehr ähnlich. Die Kurven werden dabei in entgegengesetzter Richtung durchlaufen.

Beispiel

Berechnung der Einschaltzeiten mit folgenden Annahmen:

$$C_{iss} @ (V_{ds} = 24 \text{ V}) = 1.5 \text{ nF}$$

$$C_{iss} @ (V_{ds} = 1 \text{ V}) = 3 \text{ nF}$$

$$C_{rss} @ (V_{ds} = 24 \text{ V}) = 0.3 \text{ nF}$$

$$I_{sc}(OUTx)_{hi} = -4 \text{ mA}$$

$$V_B = 24 \text{ V}$$

$$V_r(OUTx) = 10 \text{ V}$$

$$V_{th}(FET) = 3 \text{ V}$$

daraus folgt:

$$t_{t0..t1} = 1.13 \mu\text{s}$$

$$t_{t1..t2} = 1.8 \mu\text{s}$$

$$t_{t2..t3} = 5.25 \mu\text{s}$$

$$t_{on} = 8.18 \mu\text{s}$$

Die Anstiegsgeschwindigkeit der Spannung am Drain des Transistors beträgt: $13.3 \text{ V}/\mu\text{s}$

Im Bild 10 ist das Ein- und Ausschalten eines Kanals mit dem Pin INx dargestellt. Die Messung der Zeitdauer der Pulse am Pin NOK, besonders beim Einschalten, können zur Überwachung des angeschlossenen Transistors und der Last verwendet werden.

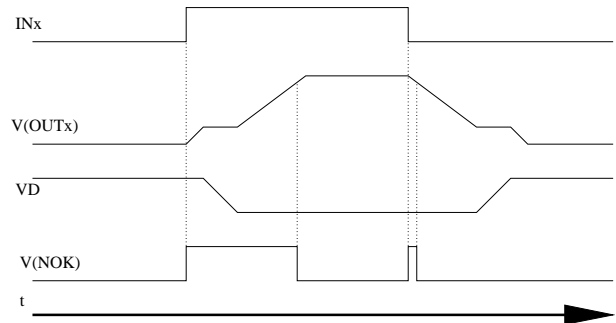


Bild 10: Ein- und Ausschalten eines Kanals mit INx

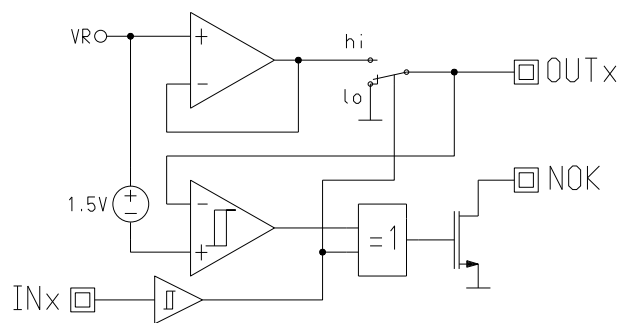


Bild 11: Schaltbild eines Kanals mit Überwachungskomparator

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

iC-MFN

8-FOLD FAIL-SAFE N-FET DRIVER

Zielspezifikation



Ausgabe A2, Seite 13/13

BESTELLINFORMATION

Typ	Gehäuse	Bestellbezeichnung
iC-MFN	QFN24 4 mm	iC-MFN QFN24

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel.: (0 61 35) 92 92-0
Fax: (0 61 35) 92 92-192
Web: <http://www.ichaus.com>
E-Mail: sales@ichaus.com

Autorisierte Distributoren nach Region: http://www.ichaus.de/support_distributors.php