

iC-LV

5-BIT OPTO ENCODER

EIGENSCHAFTEN

- ◆ Hoher Gleichlauf und technische Zuverlässigkeit durch monolithischen Aufbau mit integrierten Fotodioden
- ◆ Gleichlichtbewertete Abtastung mit 600 µm Spurbstand
- ◆ Fotostromverstärker mit hoher Grenzfrequenz
- ◆ Einstellbare Sendestromregelung für konstante Empfangsleistung mit LED-Treiber bis 40 mA
- ◆ Fehlermeldung bei Verlassen des sicheren Betriebsbereiches (EOL-Signal bei Erreichen der Regelungsgrenzen)
- ◆ Serielle Datenausgabe über erweiterte SSI-Schnittstelle
- ◆ Parallele Datenausgabe als 5 bit Binär- oder Gray-Code
- ◆ Umschaltbare Phasenlage (in Spur 1) zur Änderung der Zählrichtung bei Gray-Code-Abtastung
- ◆ Kaskadierung mehrerer Bausteine mit Möglichkeit zur Synchronisation
- ◆ Wahlweise invertierte Ausgabe für alle Spuren
- ◆ Elektronische Testhilfen
- ◆ Betriebsspannung 4 bis 5.5 V, geringe Stromaufnahme
- ◆ Erweiterter Temperaturbereich von -40 bis 125 °C

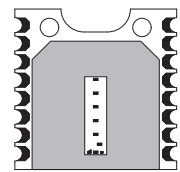
ANWENDUNGEN

- ◆ Gleichlichtbewertete Abtastung für optische Drehgeber
- ◆ Singelturm-Drehgeber mit niedriger Winkelauflösung
- ◆ Multiturn-Drehgeber

CHIP

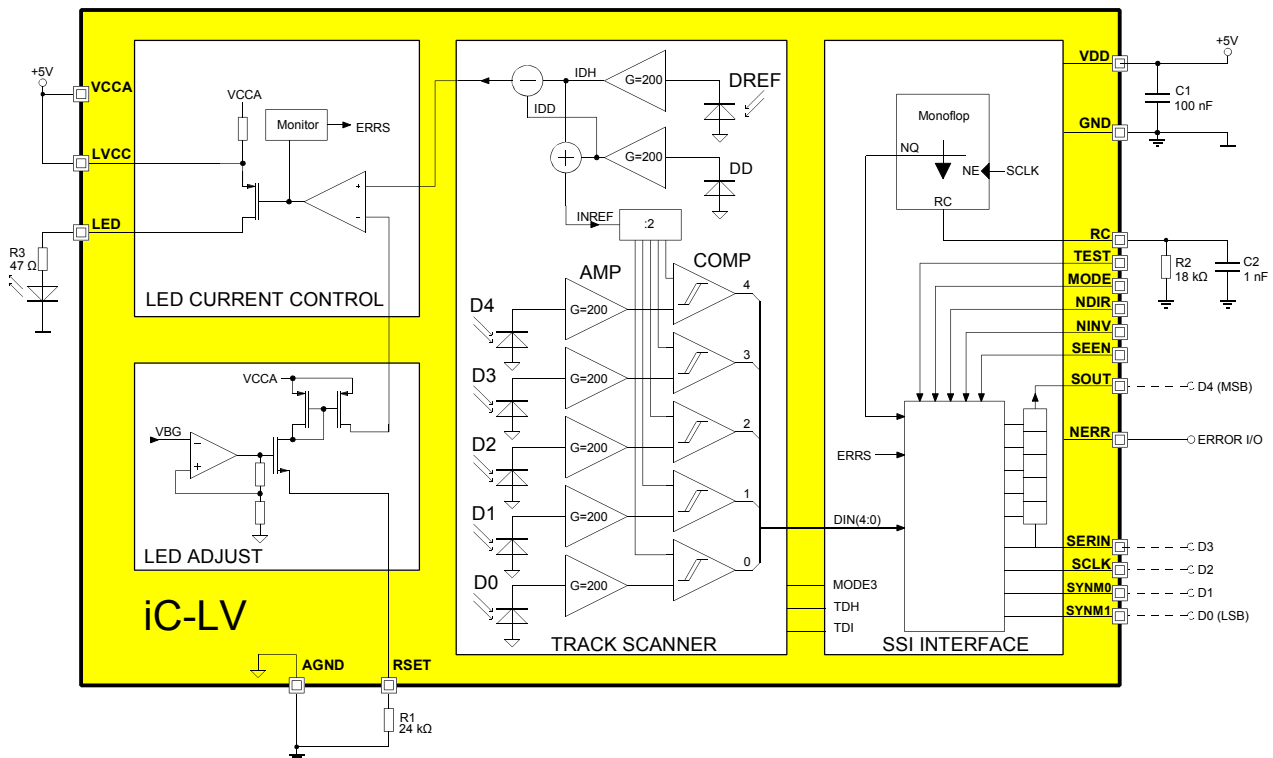


Chip
1.68 mm x 3.5 mm



16-pin BLCC
7.0 mm x 7.0 mm

BLOCKSCHALTBILD



KURZBESCHREIBUNG

Der Baustein iC-LV ist ein optoelektronisches Encoder-IC für absolute Längen- oder Winkelmesssysteme, z.B. Glasmaßstäbe oder Drehgeber. Monolithisch integriert sind Fotosensoren, Verstärker und Komparatoren für 5 Spuren im Rastermaß von 600 µm sowie eine Referenzfotosensor für die Sendestromregelung.

Die internen Komparatorausgänge schalten auf high, wenn die verstärkten Fotoströme eine vorgegebene Schwelle überschreiten (Gleichlichtbewertung). Die Schaltschwelle ist über einen externen Widerstand an RSET einstellbar; bei Nichtbeschaltung wird alternativ ein interner Widerstand verwendet.

Der externe oder interne Widerstandswert dient gleichzeitig als Sollwertvorgabe für die Sendestromregelung, die unabhängig von Temperatur- oder Alterungseffekten die optische Empfangsleistung konstant hält. Eine Treiberstufe ermöglicht den direkten Anschluss einer Sende-LED mit Vorwiderstand oder steuert einen externen Transistor zur Erzeugung höhere Ströme an.

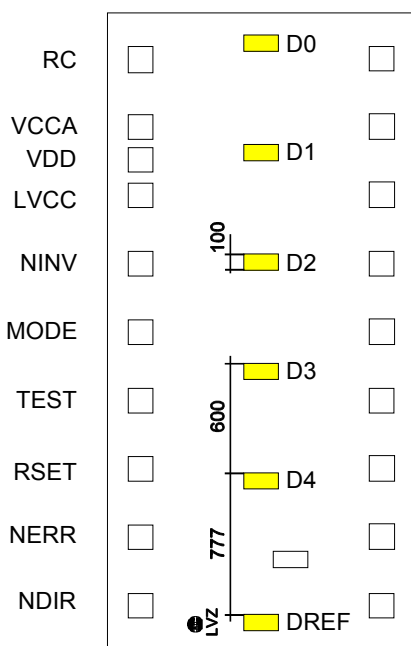
Die Spurinformaton kann parallel (wahlweise Gray- oder Binär) oder seriell über ein SSI-Protokoll ausgelesen werden. Dabei sind beliebig viele iC-LV kaskadierbar und können aufeinander synchronisiert werden; die Datenausgabe erfolgt dabei als binäres Wort (hierfür sind Gray-Code-Scheiben erforderlich).

Eine Überwachungsschaltung erzeugt eine Alarmmeldung bei Verlassen des Sendestromregelbereiches. Der Open-Drain Fehlermeldeausgang ist busfähig und low aktiv. Ebenfalls kann die serielle Datenausgabe um das Fehlerbit ergänzt werden.

Alle Ein- und Ausgänge sind gegen Zerstörung durch ESD geschützt. Zwei verschiedene Testmodi sind per Pin wählbar und erlauben den vollständigen Funktionstest ohne Einbezug der Fotosensorendioden.

CHIP LAYOUT

PAD BESCHREIBUNG



Name	Funktion
RC	RC-Glied für SSI-Monoflop (Anschluss optional)
VCCA	+4...+5.5 V Analoge Spannungsversorgung
VDD	+4...+5.5 V Digitale Spannungsversorgung
LVCC	+4...+5.5 V LED-Treiber Spannungsversorgung
NINV	Bit-Invertierung (low aktiv)
MODE	Betriebsartenschalter
TEST	Freigabeeingang Testmodi (high aktiv)
RSET	Sendestromeinstellung (optional)
NERR	Fehlerausgang (low aktiv)
NDIR	Eingang Drehrichtungsinvertierung (low aktiv)
SEEN	Freigabe Eingang für Ser. Fehlerbit (high aktiv)
SYNM1	Synchronisationsmodus / Datenausgang D0
SYNM0	Synchronisationsmodus / Datenausgang D1
SCLK	Takteingang (SSI) / Datenausgang D2
SERIN	Serieller Dateneingang (SSI) / Datenausgang D3
SOUT	Serieller Datenausgang (SSI) / Datenausgang D4
GND	Digitalmasse
AGND	Analogmasse
LED	Ausgang LED-Regelung (High-Side Stromquelle)

BETRIEBSMODI und PIN-FUNKTIONEN

Pin	Paralleler Ausgabemodus	Serieller Ausgabemodus		Analog-test	Digital-test	
	MODE = 0 TEST = 0	MODE = 1 TEST = 0	SYNM0 = X SYNM1 = 1	SYNM0 = X SYNM1 = 0	MODE = 0 TEST = 1	MODE = 1 TEST = 1
		No Sync / No Sync binary	Sync Out / SSI Out		No Sync	Sync Out / SSI Out
LED	Ausgang LED-Regelung (High-Side Stromquelle)					
AGND	Analogmasse (Bezugsmasse für RC- und RSET-Beschaltung)					
GND	Digitalmasse					
SOUT	Datenausgang D4 (MSB)	Serieller Datenausgang (SSI-Interface)		Messausgang für Schwellentest	Serieller Datenausgang (SSI-Interface)	
SERIN	Datenausgang D3	Serieller Dateneingang (SSI-Interface)				
SCLK	Datenausgang D2	Takteingang (SSI-Interface)				
SYNM0	Datenausgang D1	Auswahleingang serielle Betriebsarten		Eingang Teststrom für Referenzsensor	Auswahleingang serielle Betriebsarten	
SYNM1	Datenausgang D0 (LSB)	Auswahleingang serielle Betriebsarten		Eingang Teststrom für Spursensoren	Auswahleingang serielle Betriebsarten	
SEEN	Gray/Binär-Wandlung (low aktiv)	Freigabe für ser. Fehlerbit / keine Funktion	Phasenlage konfigurieren	keine Funktion	Freigabe für ser. Fehlerbit	Phasenlage konfigurieren
RC	RC-Glied für Monoflop					
VCCA	+4 ... +5.5 V Analoge Spannungsversorgung					
VDD	+4 ... +5.5 V Digitale Spannungsversorgung					
LVCC	+4 ... +5.5 V LED-Treiber Spannungsversorgung					
NINV	Bit-Invertierung (low aktiv)					
MODE	Betriebsartenschalter					
TEST	Freigabeeingang Testmodi (high aktiv)					
RSET	Sendestromeinstellung					
NERR	Fehlerausgang (Beleuchtung, low aktiv)				Schwellschwellentest (Push-Pull-Ausgang)	
NDIR	Drehrichtungsinvertierung (low aktiv)			Freigabe IDDQ-Test (low aktiv)	Drehrichtungsinvertierung (low aktiv)	

GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Max.		Einh.
					Min.	Max.	
G001	V()	Versorgungsspannung analog VCCA			0.3	6	V
G002	V()	Versorgungsspannung digital VDD			VCCA	VCCA	V
G003	V()	Spannung an LVCC, LED, SOUT, SERIN, SCLK, SYNM0, SYNM1, SEEN, NDIR, NERR, RSET, TEST, MODE, NINV, RC			-0.3	VCCA+0.3	V
G004	Ic()	Schutzdiodenstrom in LED, SOUT, SERIN, SCLK, SYNM0, SYNM1, SEEN, NDIR, NERR, RSET, TEST, MODE, NINV, RC	SERIN, SCLK, SYNM0, SYNM1 mit Eingangsfunktion		-4	4	mA
G005	I()	Strom in SOUT, SERIN, SCLK, SYNM0, SYNM1, RSET, RC	SERIN, SCLK, SYNM0, SYNM1 mit Ausgangsfunktion		-4	4	mA
G006	I()	Strom in LVCC nach LED	$V(LVCC) \leq VCCA$		0	50	mA
E001	Vd()	ESD-Prüfspannung an allen Pins	MIL-STD-883, Methode 3015, HBM 100 pF entladen über 1.5 kΩ			2	kV
TG1	Tj	Chip-Temperatur			-40	125	°C
TG2	Ts	Lagertemperatur	siehe Gehäusespezifikation				°C

THERMISCHE DATEN

Betriebsbedingungen: VCCA, VDD, LVCC= 4..5.5V

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Typ. Max.			Einh.
					Min.	Typ.	Max.	
T1	Ta	Zulässiger Umgebungstemperaturbereich	siehe Gehäusespezifikation					°C

iC-LV

5-BIT OPTO ENCODER



Ausgabe A3, Seite 5/12

KENNDATEN

Betriebsbedingungen: VCCA, VDD, LVCC = 4. ... 5.5 V, Tj = -40 ... 125 °C, wenn nicht anders angegeben.

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Allgemeines									
001	V()	Zulässige Versorgungsspannung VCCA, VDD, LVCC				4	5	5.5	V
002	I()	Versorgungsstrom in VCCA, VDD	Sendestromregelung aktiv: R(RSET/AGND) = 24 kΩ, MODE = hi, Test = lo; I(D0..4) ≤ 8nA				2	5	mA
003	Vcz()hi	Clamp Spannung hi gg. GNDA an allen Pins	I() = 4 mA					11	V
004	Vc()hi	Clamp Spannung hi an Eingängen RC, NINV, MODE, TEST, RSET, NERR, NDIR, SEEN, SYNM1, SYNM0, SCLK, SERIN, SOUT	Vc()hi = V() - V(VDD), I() = 4 mA			0.3		1.2	V
005	Vc()lo	Clamp Spannung lo an allen Pins	I() = -4 mA			-1.2		-0.3	V
TTL-Eingänge: SYNM1, SYNM0, SCLK, SERIN, SEEN, NDIR, TEST, MODE, NINV									
006	Vt()hi	Schwellspannung hi	MODE = hi					2	V
007	Vt()lo	Schwellspannung lo	MODE = hi			0.8			V
008	Vt()hys	Schwellspannungshysterese	MODE = hi			300	500		mV
009	Ipu()	Pull-up Strom in SCLK, SERIN, SEEN, NDIR, MODE, NINV	V() = 0 ... VCCA - 1V, MODE = hi			-62	-30	-4	µA
010	Ipu()	Pull-up Strom in SYNM1, SYNM0	V() = 0 ... VCCA - 1V, MODE = hi			-80		-4	µA
011	Ipd()	Pull-down Strom in TEST	V() = 1 V ... VCCA, MODE = hi			3	31	75	µA
Ausgangsstufen D0...D4: SYNM1, SYNM0, SCLK, SERIN, SOUT									
012	Vs()hi	Sättigungsspannung hi	Vs()hi = VDD - V(); I() = -4 mA MODE = lo					500	mV
013	Vs()lo	Sättigungsspannung lo	I() = 4 mA I() = 1.6 mA					500 400	mV mV
Fehlermeldeausgang NERR									
014	Vs()lo	Sättigungsspannung lo	I() = 4 mA I() = 1.6 mA					500 400	mV
015	R()pu	Zulässiger Pull-up Widerstand					10		kΩ
Stromkomparator, Spuren 0...4									
301	IDREF	Strom in der Referenzdiode					100		nA
302	IDD	Strom in der Dunkeldiode					20		pA
303	Hys	Schalthysterese bezogen auf Referenzstrom IDREF	I(D0...4) = IDD ... IDREF			14	17	20	%

KENNDATEN

Betriebsbedingungen: VCCA, VDD, LVCC = 4. .. 5.5 V, Tj = -40 ... 125 °C, wenn nicht anders angegeben.

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Fotodioden und Verstärker D0...4, DREF									
401	S(λ)	Spektrale Empfindlichkeit	$\lambda = 740 \text{ nm}$ $\lambda = 880 \text{ nm}$				0.36 0.3		A/W A/W
402	λ_{ar}	Empfangsbereich	$Se(\lambda_{ar}) = 0.1 \times S(\lambda)_{max}$			400		1050	nm
403	Aph()	Fotodiodenfläche				0.200 × 0.100			mm ²
404	d θ /dA	Bestrahlungsstärke	Funktionsbereich					1000	$\mu\text{W}/\text{cm}^2$
405	f _o	Obere Grenzfrequenz	Signalform Sinus, I(D0...4) = 8 ... 80 nA, I(DREF) = 80 nA			200			kHz
406	$\Delta t_p()$	Unterschied der Verzögerungszeit	Signalform Rechteck, R(RSET/AGND) = 24 k Ω I(D0...4) = 8 ... 100 nA, I(DREF) = 100 nA					0.5	μs
407	CM()	Gleichlauf bezogen auf Referenzstrom I(DREF)				0.85	1	1.15	
LED Sendestromregelung und DREF Referenzsensor									
501	Aph()	Fotodiodenfläche DREF				0.200 × 0.100			mm ²
502	I(LED)	Zulässiger Sendestrom in LED				0		40	mA
503	V _s (LED)	Sättigungsspannung an LED	I(LED) = 40 mA					1.1	V
504	tr(LED)	Anstiegszeit Sendestrom	I(LED) = 0 ... 100 %				60	1500	μs
505	R()	Verbindungs-widerstand LVCC nach VDD				2	5	10	k Ω
Monoflop RC									
601	C(RC)	Zulässiger Kondensator an RC				0.1		1000	nF
602	R(RC)	Zulässiger Widerstand an RC				15		1000	k Ω
603	t _{mf}	Monoflopzeit	R2 = 1 nF, C2 = 18 k Ω , t _{mf} = 1.16 × R × C ($\pm 15\%$)			16	21	24	μs
604	t _{mf}	Monoflopzeit	ohne externe RC-Beschaltung			11.5	21	29.5	μs
SSI-Schnittstelle									
701	f(SCLK)	Zulässige Taktfrequenz						2	MHz
702	t _p ()	Verzögerungszeit SCLK gegen SOUT					85		ns
703	t _p ()	Verzögerungszeit SERIN gegen SOUT	Modus "Sync Out"				85		ns
Analogtest SYNM0, SYNM1									
801	CR1()	Stromuntersetzung I(SYNM1)/I(D0..4)	TEST = hi, MODE = lo: Analogtest aktiv, I() = 2 ... 200 μA				1000		
802	CR2()	Stromuntersetzung I(SYNM0)/I(DREF)	TEST = hi, MODE = lo: Analogtest aktiv, I() = 2 ... 200 μA				1000		
Stromeinstellung RSET									
E01	V()	Referenzspannung	I(RSET) = -100 ... -20 μA			0.95	1.16	1.25	V
E02	I _{bias} ()	Zulässiger externer Biasstrom				-100		-20	μA
E03	I _{bias} ()	Äquivalenter Biasstrom intern	RSET offen	27			50		μA
E04	I _{sc} ()	Kurzschlussstrom	V(RSET) = 0				1.3	2.6	mA

BETRIEBSBEDINGUNGEN: Logik

Betriebsbedingungen: VCCA, VDD, LVCC = 4 ... 5.5 V, Ta = -40 ... 125°C
 Eingangspegel lo= 0 ... 0.45 V, hi = 2.4 V ... VDD, Bezugspegel für Zeitangaben nach Bild 1

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min. Max.		Einh.
I1	tset	Vorbereitungszeit: SERIN stabil vor SCLK hi-lo	Modus "No Sync"		30		ns
I2	t _{hold}	Haltezeit: SERIN stabil nach SCLK hi-lo	Modus "No Sync"		30		ns

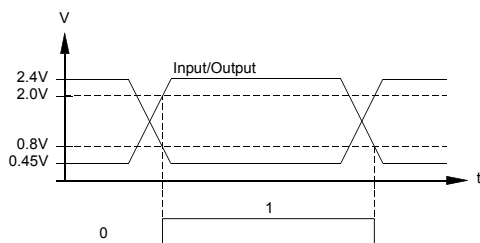


Bild 1: Bezugspegel für Zeitangaben

FUNKTIONSBESCHREIBUNG

Beleuchtungsregelung

Die integrierte Sendestromregelung mit Treiberstufe hält den Fotostrom der Referenzfotodiode DREF konstant. Alterung und Verschmutzung sowie der mit steigender Temperatur abfallende Wirkungsgrad der Sende-LED werden ausgeglichen.

Im Empfänger werden der Fotostrom des Referenzsensors DREF und der Dunkelstrom des Kompensationssensors DD verstärkt. Die verstärkten Ströme werden voneinander subtrahiert und ergeben den Istwert zur Ansteuerung des LED-Treibers. Der Strom durch den Widerstand R1 am Pin RSET liefert den Sollwert für die Regelung; die Spannung am Pin RSET ist konstant (siehe Kennziffer E01). Ist der Pin RSET unbeschaltet, so wird ein interner Strom verwendet der einem externen RSET von ca. 24 k Ω entspricht.

Ist eine optische Rückkopplung von der LED zum Referenzsensor DREF vorhanden, verändert der Treiber den Strom durch die LED bis der Istwert dem Sollwert entspricht. Der durch den Referenzsensor DREF erzeugte Fotostrom wird konstant gehalten und damit die Beleuchtungsstärke für das gesamte System.

Eine Monitor-Schaltung erkennt das Verlassen des Regelbereiches und meldet dies am Fehlermeldeausgang NERR durch low-Signal bzw. im letzten Bit bei serieller Kommunikation (SEEN auf hi, keine Synchronisation gewählt).

Durch den Vorwiderstand R3 in Serie zur Sende-LED wird der Strom begrenzt und die Betriebsgrenze der Regelung festgelegt.

Gleichzeitig wird der verstärkte Dunkelstrom und der von extern vorgegebene Sollstrom aufaddiert; 50 % des so erzeugten Referenzstroms INREF dienen als Schaltschwelle für die Stromkomparatoren. Dies ermöglicht einen Betrieb auch ohne Sendestromregelung mit einer externen Lichtquelle.

Spurbewertung

Die Schaltschwelle für die Spurkomparatoren liegt in der Mitte zwischen Hell- und Dunkelstrom, bei 50% INREF und passt sich automatisch den Lichtverhältnissen an. Dies ermöglicht einen Betrieb ohne Sendestromregelung nur mit konstanter Ausleuchtung. Die Hysterese der Komparatoren ist ebenfalls Strombezogen und nachgeführt, zur Erhöhung der Störsicherheit.

Das MSB kann invertiert werden, durch Verbinden des Pins NDIR mit Masse (GND). Bleibt der Pin offen, erzeugt die interne Pull-Up Stromquelle einen high-Pegel. Die Invertierung der MSB-Spur ist bei Verwendung von Gray-Code-Scheiben gleichbedeutend mit einer Laufrichtungsumkehrung.

Betriebsmodi

Der Baustein iC-LV bietet verschiedene Betriebsarten, die über Pin MODE vorausgewählt werden. Für MODE = 0 arbeitet iC-LV als optoelektronischer Encoder-IC mit paralleler Ausgabe; MODE = 1 (default) wählt verschiedene serielle Betriebsarten.

Paralleler Ausgabemodus (MODE = 0)

Im parallelen Ausgabemodus werden die 5 Spuren mit den Sensoren D4 (MSB) bis D0 (LSB) parallel auf die Pins SYNM1 (LSB), SYNM0, SCLK, SERIN und SOUT (MSB) ausgegeben.

Die Beschaltung des Pins NDIR bestimmt die Zählrichtung. Für NDIR an GND wird das MSB invertiert, um beim Auslesen von Gray-Code-Scheiben eine Zählrichtungsumkehr vorzunehmen.

Durch Beschaltung des Pins NINV an GND kann die invertierte Ausgabe aller Bits erreicht werden. Ist das nicht gewünscht, kann NINV unbeschaltet bleiben. NDIR und NINV können voneinander unabhängig oder in Kombination verwendet werden. Schaltet man beide Pins an GND, werden alle Bits bis auf das MSB invertiert ausgegeben.

Durch Beschaltung des Pins SEEN an GND können die Bits, nachdem sie gegebenenfalls invertiert wurden, binär gewandelt ausgegeben werden. Bei unbeschaltetem Pin SEEN wird im Gray-Code ausgegeben.

Serieller Ausgabemodus (MODE = 1, default)

Im seriellen Ausgabemodus ist der Pin SCLK der Takteingang, der von einem SSI-Master die zeitweise aktive Taktleitung mit Ruhepegel high erhält, Pin SERIN der serielle Dateneingang und Pin SOUT der serielle Datenausgang.

Über die Pins SYNM0 und SYNM1 ist die serielle Ausgabeart konfigurierbar (die Pins liegen auf high-Pegel wenn unbeschaltet).

SYNM (1:0)	Serielle Betriebsart	Ausgabeformat
1 1	No Sync (default)	5 bit Gray (Option: +1 Error bit)
1 0	No Sync Binary	5 bit binär
0 1	Sync Out	4 bit binär (korrigiert um ±1)
0 0	SSI Out	4 bit binär (korrigiert um ±1)

Im "No Sync" Modus kann ein Sendestromfehlerbit (low aktiv) an die seriellen Daten angehängt werden, wenn dies über den Pin SEEN freigegeben wird. Im

Modus "No Sync binary" ist der Pin SEEN ohne Funktion.

Im Modus "No Sync" und "No Sync binary" arbeitet iC-LV ohne Synchronisation, d.h. er speichert die 5 Spurwerte mit der ersten fallenden Flanke nach einer längere Ruhephase an SCLK und sendet danach diese Werte über den Pin SOUT, jeweils auf die folgenden 5 steigenden Flanken an SCLK. Gleichzeitig liest Pin SERIN die Daten eines Vorgänger-Bausteins ein, die nachfolgend durchgereicht werden können. Hier arbeitet iC-LV wie ein 5-bit Schieberegister (bzw. 6-bit bei aktivierten Fehlerbit im Modus "No Sync"), dessen Flipflops die Eingangswerte zur fallenden Flanke übernehmen, und die gespeicherten Werte zur steigenden Flanke an den Ausgang legen.

Im Modus "No Sync binary" werden die Daten vor der Ausgabe von Gray nach Binär gewandelt. In dieser Betriebsart ist die Ausgabe des seriellen Fehlerbits nicht möglich und es werden bei der ersten und zweiten steigenden Flanke an SCLK keine Daten von SERIN übernommen.

Durch Beschaltung des Pins NDIR mit GND kann eine Zählrichtungsumkehr bei Gray-Codes durch Invertierung des MSB erreicht werden. Über eine Beschaltung des Pins NINV an GND kann die invertierte Ausgabe aller Spurwerte erreicht werden. Unbeschaltet sind die Pins NINV und NDIR jeweils auf high-Pegel.

Im den Modi "SSI Out" und "Sync Out" arbeitet iC-LV mit Synchronisation und es wird das LSB der jeweiligen Codescheibe als Synchronisationsbit gewertet. Die von der Codescheibe eingelesenen Daten werden binär gewandelt und mit dem MSB des Vorgängers verglichen und gegebenenfalls um +1 bzw. um -1 korrigiert.

Das jeweilige LSB besitzt die gleiche Auflösung wie das MSB des Vorhergehenden, um den Faktor 16 schnelleren iC-LV, und ist zu diesem entweder bis zu 90° nacheilend (SEEN high, default) oder voreilend (SEEN low) montiert. Die Phasenlage muss über den Pin SEEN (nacheilend / voreilend) für die einzelnen Codescheiben konfiguriert werden. Der Phasenversatz bezieht sich auf binär gewandelte Daten und ist auf den Codescheiben nicht ohne weiteres ersichtlich.

Werden die Daten seriell ausgelesen und anderweitig synchronisiert, muss die Phasenverschiebung entsprechend kleiner eingestellt werden. In diesem Fall sind die Übertragungszeiten zu berücksichtigen.

Die Synchronisation sorgt dafür, dass synchron zum Kippen des Vorgänger-MSBs auf den nächsten Codewert der eigenen Codescheibe weitergeschaltet wird. Es wird nach dem Speichern der Spurwerte (erste fallende SCLK-Flanke) während der ersten Low- und der ersten High-Periode der SCLK-Leitung auf ein sich gegebenenfalls noch änderndes MSB der Vorgängerstufe aufsynchronisiert.

Das Synchronisationsergebnis wird direkt auf den Ausgang durchgeschaltet, so dass für die jeweils folgende Stufe ein synchronisiertes MSB zur Verfügung steht. Dadurch kann auf MSBs zur ersten fallenden sowie zur ersten steigenden Flanke aufsynchronisiert werden.

In den Synchronisationsmodi arbeitet iC-LV wie ein 4-bit Schieberegister, d.h. das Synchronisationsbit wird nicht mit ausgetaktet. Eingelesen wird zur fallenden Flanke, ausgegeben auf der steigenden. Im Unterschied zum Sync Out Modus wird im SSI Out Modus das MSB bis zur ersten steigenden Flanke an SCLK durch einen high-Pegel ausmaskiert.

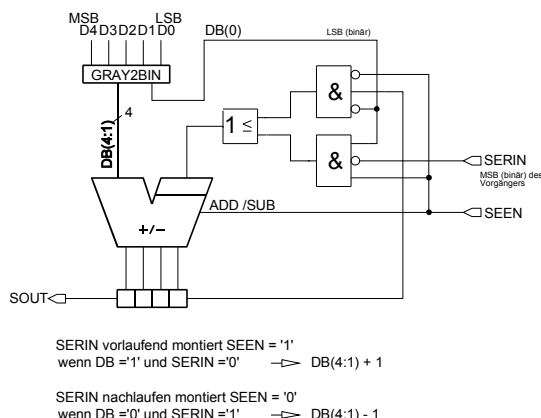


Bild 2: Synchronisation

Sind auf den Codescheiben invertierte Gray-Codes aufgebracht, so kann mittels GND-Beschaltung von NINV eine Invertierung vorgenommen werden. Durch GND-Beschaltung von NDIR kann per MSB-Invertierung die Zählrichtung des Gray-Codes umgekehrt werden.

Hierbei ist zu beachten, dass eine Invertierung des MSB gleichzeitig eine Änderung der Phasenlage um 180° zufolge hat, d.h. aus einer 90° nacheilenden Synchronisationsspur wird eine 90° voreilende und umgekehrt. Dies ist durch entsprechende Beschaltung des Pins SEEN oder durch eine entsprechend montierte Nullposition der Scheibe auszugleichen.

Testmodi

Der Baustein iC-LV bietet zwei verschiedene Testmodi, die durch Beschaltung des Pins TEST mit VDD

aktiv werden. Die Auswahl trifft der Pin MODE: bei Beschaltung mit VDD wird der digitale Testmodus (wie bei Nichtbeschaltung), bei Beschaltung mit GND der analoge Testmodus selektiert.

Analoge Testmodi (MODE = 0)

Sensorsimulation und Komparator-Schaltswellentest: Zum Testen der Spurauswertung und Schaltschwellen wird über Pin SYNM0 ein Teststrom für den Referenzsensor DREF und über SYNM1 ein Teststrom für die Spursensoren eingespeist. Die Stromuntersetzung ist 1:1000.

Alternativ kann auch mit Beleuchtung getestet werden, da die eingespeisten Testströme zu den Fotostromen addiert werden. Über ein 5-bit Schieberegister wird ausgewählt, welche Spur an SOUT gemessen wird. Dazu wird ein entsprechendes Muster über SCLK (Takt low aktiv) und SERIN (Pegel) hineingetaktet. Falls mehrere Spuren angewählt sind, werden die Komparator-Ausgangssignale XOR verknüpft. Das 5-bit Schieberegister spricht die Spursensoren D4 bis D0 über die Bits 4 bis 0 an. Zu Beginn der Messung sollte das Schieberegister gelöscht werden.

IDDQ Test: Durch Beschalten des Pins NDIR (default high) mit GND wird der IDDQ-Test aktiviert.

Digitale Testmodi (MODE = 1, offen)

Logiktest: Der digitale Testmodus verhält sich weitgehend identisch mit den seriellen Betriebsmodi. Im Unterschied zu diesen werden auf dem Pin SERIN eingehende Daten zunächst durch ein 5-bit Testschieberegister getaktet, bevor sie durch das Ausgabe-Schieberegister getaktet werden. Auf diese Weise können zunächst beliebige Bitfolgen in das Testregister eingetaktet werden, die nach einer Ruhephase auf der Taktleitung von $t > t_{mf}$ (siehe Kennziffer 603) mit der ersten fallenden Flanke auf SCLK anstelle von Spurwerten übernommen werden.

Auf diese Weise sind beliebige Sensor-Eingangsstimuli generierbar. In den synchronisierenden Betriebsarten wird wie im normalen Betriebsmodus auf den Pin SERIN synchronisiert. Die Konfiguration der unterschiedlichen seriellen Betriebsarten erfolgt wie im normalen Betriebsmodus. Im Modus "No Sync binary" können keine Stimuli eingetaktet werden.

TP: Zur Schaltschwellen-Messung der Eingangsinterfaces (SYNM0, SYNM1, SERIN, SCLK, NDIR, NINV, SEEN) werden die Signale XOR verknüpft am Pin NERR ausgegeben. Hierfür wird Pin NERR zum Push-Pull-Ausgang umgeschaltet.

APPLIKATIONSHINWEISE

Ist ein stabiler SSI-Ausgabepegel erforderlich, müssen sämtliche MSBs die in der Synchronisationskette verwendet werden bereits mit der ersten fallenden Flanke auf die jeweiligen Ausgänge geschaltet werden. Weiterhin muss gewährleistet sein, dass die vollständige Synchronisation der verketteten iC-LV Bausteine vor der ersten steigenden Taktflanke von SCLK abgeschlossen ist.

Zur Wahrung der Funktionalität genügt es, dass die Synchronisation bis zur zweiten fallenden Taktflanke von SCLK abgeschlossen ist; jedoch ist dann SOUT während einer halben Taktperiode nicht stabil. Es ist mit dieser Einschränkung auch möglich, sich auf MSBs aufzusynchronisieren, die erst zur ersten steigenden SCLK-Flanke ausgegeben werden (z.B. von fremden SSI-konformen Bausteinen).

Bild 3 zeigt die möglichen Signalfolgen bei einer Kaskadierung von drei iC-LV Bausteinen.

Passend zur SSI-Taktfrequenz kann die Zeitspanne des internen Monoflops (verwendet zur Detektion von Taktleitungsruhephasen) durch die externe Beschaltung des Pins RC mit einem RC-Glied eingestellt werden. Bei Nichtbeschaltung des RC-Pins wird tmf (Kennziffer 603) als interne Zeitspanne verwendet.

Hinweis: Die Eingangsdaten an SERIN werden mit der fallenden SCLK-Flanke gespeichert, die Datenausgabe erfolgt mit der steigenden Flanke an SCLK.

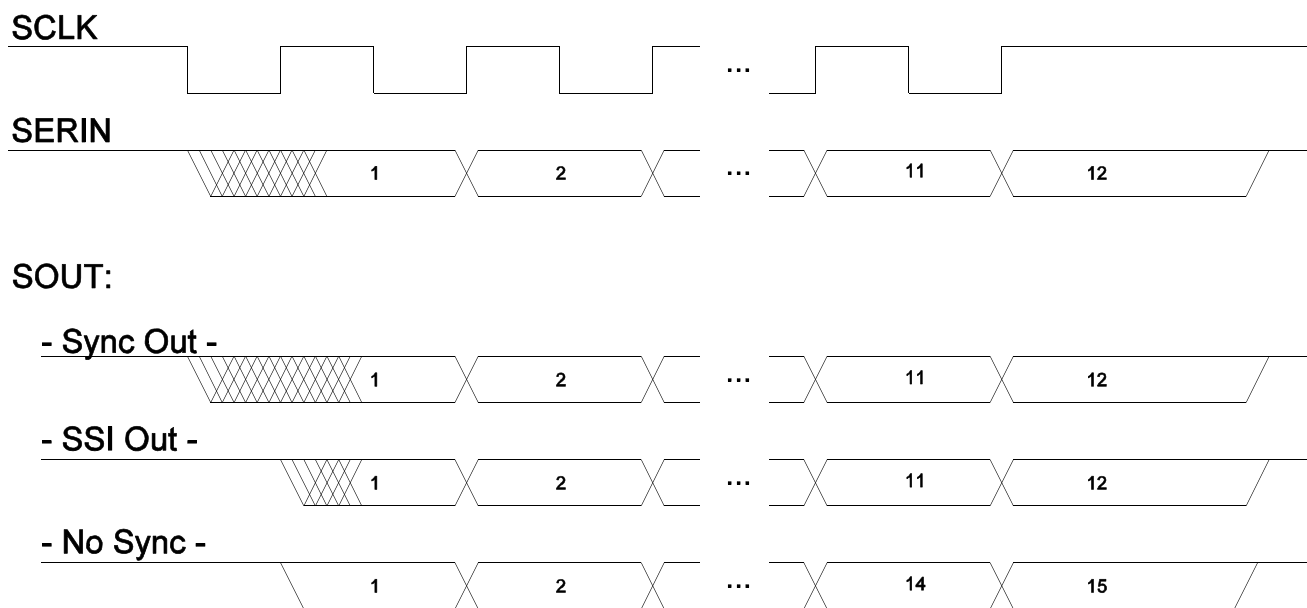


Bild 3: SOUT in den verschiedenen Betriebsmodi

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation - auch auszugsweise - ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/ Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

BESTELL-HINWEISE

Typ	Gehäuse	Bestellbezeichnung
iC-LV	-	iC-LV chip
iC-LV	BLCC	iC-LV BLCC LV4C

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel. (06135) 9292-0
Fax (06135) 9292-192
Web: <http://www.ichaus.com>
E-Mail: sales@ichaus.com

Autorisierte Distributoren nach Region: http://www.ichaus.de/support_distributors.php