

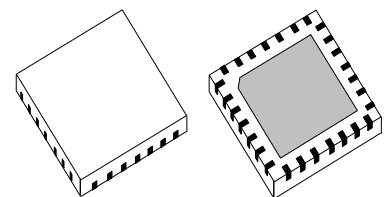
EIGENSCHAFTEN

- ◆ 6 strombegrenzte und kurzschlussfeste Push-Pull-Treiber
- ◆ 3-Kanal-Differenz-Betrieb schaltbar
- ◆ Integrierte Wellenwiderstandsanpassung für 30- bis 140- Ω -Leitungen
- ◆ Weiter Spannungsbereich von 4 bis 40 V
- ◆ Typ. 200 mA Ausgangsstrom (bei $V_B = 24$ V)
- ◆ Kleine Ausgangs-Sättigungsspannung (< 0.4 V bei 30 mA)
- ◆ RS-422-kompatibel (TIA/EIA-Standard)
- ◆ Busfähig durch Tri-State-Schaltbarkeit der Ausgänge
- ◆ Kurze Schaltzeiten und hohe Slew-Rate
- ◆ Geringe statische Verlustleistung
- ◆ Schmitt-Trigger-Eingänge mit Pull-Down-Widerstand, TTL- und CMOS-kompatibel; spannungsfest bis 40 V
- ◆ Temperaturschutzschaltung mit Hysterese
- ◆ Fehlermeldeeingang TNER
- ◆ Open-Drain-Fehlerausgang NER, aktiv-low bei Chip-Übertemperatur und Unterspannung von VCC oder V_B
- ◆ Temperaturbereich -25 bis 125 °C (Option: -40 bis 125 °C)

ANWENDUNGEN

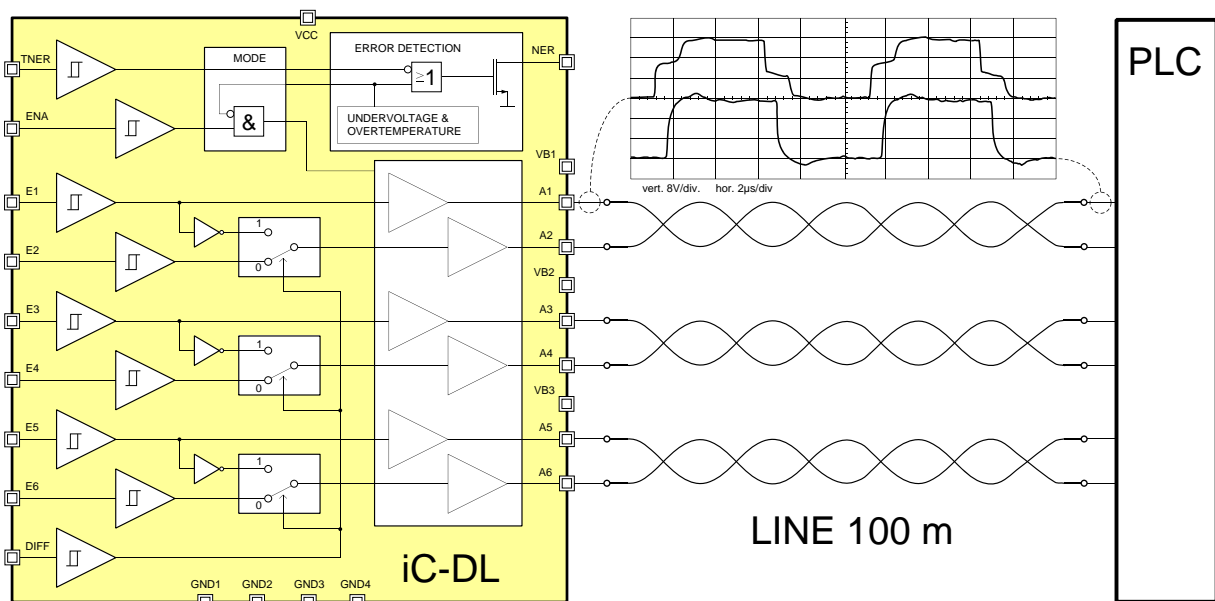
- ◆ Leitungstreiber für die 24-V-Steuerungstechnik
- ◆ Längenmaßstäbe und Drehgeber
- ◆ MR-Sensorsysteme

GEHÄUSE



QFN28 5x5 mm²

BLOCKSCHALTBILD



KURZBESCHREIBUNG

Der Baustein iC-DL ist ein schneller Leitungstreiber mit sechs unabhängigen Kanälen und integrierter Wellenwiderstandsanpassung für 30- bis 140- Ω -Leitungen.

Für den 3-Kanal-Differenzbetrieb werden durch ein High-Signal am DIFF-Eingang jeweils zwei Kanäle zusammengefasst, so dass für die drei Eingänge E1, E3 und E5 Differenz-Ausgangssignale zur Verfügung stehen. Alle Eingänge sind CMOS- und TTL-kompatibel.

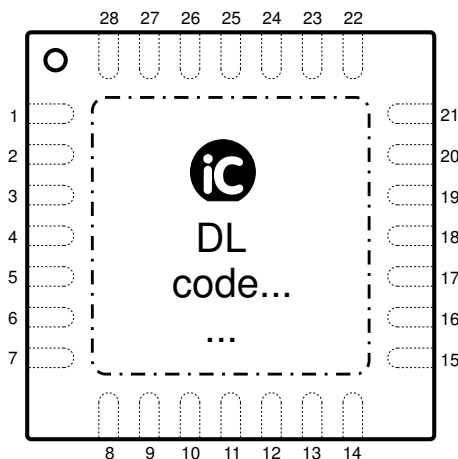
Die Push-Pull-Endstufen treiben typ. 200 mA aus 24 V und sind durch Strombegrenzung und Über-temperaturabschaltung kurzschlussfest. Für Bus-Anwendungen können die Endstufen über den Eingang ENA hochohmig geschaltet werden.

iC-DL überwacht die Versorgungsspannungen VB und VCC sowie die Chip-Temperatur und schaltet im Fehlerfall alle Endstufen hochohmig sowie den Fehlermeldeausgang NER aktiv low. Ebenso wird bei Spannungsdifferenzen zwischen den Anschlüssen VB1, VB2 und VB3 größer als 0.75 V die Fehlermeldung aktiviert. Der kurzschlussfeste Open-Drain-Ausgang NER erlaubt die Wired-OR-Verknüpfung mit den entsprechenden Fehlerausgängen NER weiterer iC-DL-Bausteine. Über den Eingang TNER können Meldeausgänge anderer ICs zu einer System-Fehlermeldung erweitert werden. Bei Wegfall der Versorgungsspannung VCC wird NER hochohmig.

Der Baustein ist gegen ESD geschützt.

GEHÄUSE QFN28 5 x 5 mm² nach JEDEC MO-220-VHHD-1

PIN-BELEGUNG QFN28 5 x 5 mm²



PIN-FUNKTIONEN

Nr. Name Funktion

1	E1	Eingang Kanal 1
2	E2	Eingang Kanal 2
3	E3	Eingang Kanal 3
4	n.c.	

PIN-FUNKTIONEN

Nr. Name Funktion

5	E4	Eingang Kanal 4
6	E5	Eingang Kanal 5
7	E6	Eingang Kanal 6
8	VCC	+5 V Versorgungsspannung
9	n.c.	
10	TNER	Fehlereingang, low-aktiv
11	NER	Fehlerausgang, aktiv-low
12	A6	Ausgang Kanal 6
13	GND4	Masse
14	VB3	+4.5...40 V Versorgungsspannung
15	A5	Ausgang Kanal 5
16	GND3	Masse
17	A4	Ausgang Kanal 4
18	VB2	+4.5...40 V Versorgungsspannung
19	A3	Ausgang Kanal 3
20	GND2	Masse
21	A2	Ausgang Kanal 2
22	VB1	+4.5...40 V Versorgungsspannung
23	GND1	Masse
24	A1	Ausgang Kanal 1
25	n.c.	
26	ENA	Freigabeeingang, high-aktiv
27	n.c.	
28	DIFF	Komplementärer Betrieb, high-aktiv

Die Pins VB1, VB2 und VB3 sind an eine gemeinsame Spannungsversorgung VB anzuschließen. Die Anschlüsse GND1, GND2, GND3 und GND4 sind an ein gemeinsames Massepotential GND anzuschließen. Das *Thermal-Pad* auf der Unterseite des Gehäuses ist zwecks verbesserter Wärmeabfuhr mit einer auf GND-Potenzial liegenden Kupferfläche zu verbinden.

GRENZWERTE

Bei Einhaltung der nachfolgenden Grenzwerte tritt keine Zerstörung des Bauteils auf, die Funktion ist aber nicht garantiert.

Grenzwerte sind keine Betriebsbedingungen.

Integrierte Schaltkreise mit Systemschnittstellen, z.B. mit über Leitungen zugänglichen Pins (I/O-Pins, Leitungstreiber) sind prinzipiell gefährdet durch eingekoppelte Störungen, welche die Funktion oder Lebensdauer beeinträchtigen können. Die Robustheit der Komponenten ist im Rahmen der Systementwicklung vom Anwender bzgl. der anzuwendenden Normen nachzuweisen und gegebenenfalls mit Schutzbeschaltungen sicher zu stellen. Vom Hersteller angegebene Schutzbeschaltungen sind unverbindliche Empfehlungen, die im jeweiligen System bzgl. der Störumgebung zu verifizieren sind.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Grenzwerte		Einh.
				Min.	Max.	
G001	VCC	Versorgungsspannung		0	7	V
G002	VBx	Versorgungsspannung der Ausgangstreiber VB1, VB2, VB3	Pulsbelastung	0	40	V
G003	V()	Spannung an E1...6, A1...6, DIFF, ENA, TNER		0	36	V
G004	I(Ax)	Strom in Ausgängen A1...6		-800	800	mA
G005	I(Ex)	Strom in Eingängen E1...6, DIFF, ENA, TNER		-4	4	mA
G006	V(NER)	Spannung an NER	Pulsbelastung	0	36	V
G007	I(NER)	Strom in NER		-4	25	mA
G008	V()	ESD-Prüfspannung an allen Pins	HBM 100 pF entladen über 1.5 kΩ		2	kV
G009	Tj	Chip-Temperatur		-40	140	°C
G010	Ts	Lagertemperatur		-40	150	°C

THERMISCHE DATEN

Betriebsbedingungen: VB = 4.5...32 V, VCC = 4...5.5 V

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Grenzwerte			Einh.
				Min.	Typ	Max.	
T01	Ta	Zulässiger Umgebungstemperaturbereich (erweiterer Temperaturbereich bis -40°C auf Anfrage)		-25		125	°C
T02	Rthja	Thermischer Widerstand Chip/Umgebung	Lötmontage auf PCB, <i>Thermal-Pad</i> an ca. 2 cm ² Kühlfläche		40		K/W

KENNDATEN

Betriebsbedingungen: VB1...3 = 4.5...32 V, VCC = 4...5.5 V, Tj = -40...140 °C, wenn nicht anders angegeben
 Eingangsspegel lo = 0...0.45 V, hi = 2.4 V...VCC, Bezugspegel für Zeitangaben nach Bild 1

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.	Typ	Max.	Einh.
Allgemeines (x=1..6)							
001	VBx	Zulässige Versorgungsspannung		4		32	V
002	I(VBx)	Versorgungsstrom in VB1...3	Ax = lo			1.5	mA
003	I(VBx)	Versorgungsstrom in VB1...3	Ax = hi			3	mA
004	I(VBx)	Versorgungsstrom in VB1, Ausgänge A1...2 Tri-State	ENA = lo, V(A1...2) = -0.3...(VB + 0.3 V)			1.2	mA
005	I(VBx)	Versorgungsstrom in VB2...3, Ausgänge A3...6 Tri-State	ENA = lo, V(A3...6) = -0.3...(VB + 0.3 V)			1	mA
006	IO(Ax)	Reststrom in Ausgängen	ENA = lo, V(Ax) = 0...VB	-20		20	µA
007	VCC	Zulässige Versorgungsspannung		4		5.5	V
008	I(VCC)	Versorgungsstrom in VCC	ENA = hi, Ax = lo		5	10	mA
009	I(VCC)	Versorgungsstrom in VCC	ENA = hi, Ax = hi		1.5	5	mA
010	Vc(lo)	Klemmspannung low an Pins VB1...3, A1...6, E1...6, DIFF, ENA TNER, NER, VCC	I() = -10 mA, andere Pins offen	-1.2		-0.4	V
011	Vc(hi)	Klemmspannung high an VCC	I() = 10 mA	5.6		7	V
012	Vc(hi)	Klemmspannung high an Pins ENA, VB1...3, A1...6, E1...6, DIFF, TNER, NER	I() ≤ 2 mA, andere Pins offen	40		64	V
013	I(VBx)	Versorgungsstrom in VB1...3	ENA = hi, f(E1...6) = 1 MHz		3	10	mA
Ausgangstreiber A1...6, Low-Side-Betrieb (x = 1...6)							
101	Vs(Ax)lo	Sättigungsspannung low	I(Ax) = 10 mA, Ax = low			0.2	V
102	Vs(Ax)lo	Sättigungsspannung low	I(Ax) = 30 mA, Ax = low			0.4	V
103	Isc(Ax)lo	Kurzschlussstrom low	V(Ax) = 1.5 V	40	60	90	mA
104	Isc(Ax)lo	Kurzschlussstrom low	V(Ax) = VB, Ax = low			800	mA
105	Rout(Ax)	Ausgangswiderstand	VB = 10...32 V, V(Ax) = 0.5 * VB	40	75	100	Ω
106	SR(Ax)lo	Slew Rate low	VB = 32 V, Ci(Ax) = 100 pF	200	600		V/µs
107	Vc(Ax)lo	Freilaufspannung	I(Ax) = -100 mA	-1.3		-0.5	V
Ausgangstreiber A1...6, High-Side-Betrieb (x = 1...6)							
201	Vs(Ax)hi	Sättigungsspannung high	Vs(Ax)hi = VB - V(Ax), I(Ax) = -10 mA, Ax = hi			0.2	V
202	Vs(Ax)hi	Sättigungsspannung high	Vs(Ax)hi = VB - V(Ax), I(Ax) = -30 mA, Ax = hi			0.4	V
203	Isc(Ax)hi	Kurzschlussstrom high	V(Ax) = VB - 1.5 V, Ax = hi	-90	-60	-40	mA
204	Isc(Ax)hi	Kurzschlussstrom high	V(Ax) = 0 V, Ax = hi	-800			mA
205	Rout(Ax)	Ausgangswiderstand	VB = 10...32 V, V(Ax) = 0.5 * VB	40	75	100	Ω
206	SR(Ax)hi	Slew Rate high	VB = 32 V, Ci(Ax) = 100 pF	200	400		V/µs
207	Vc(Ax)hi	Freilaufspannung	I(Ax) = 100 mA, VB = VCC = GND	0.5		1.3	V
Eingänge E1...6, DIFF, ENA, TNER							
601	Vt(hi)	Schwellspannung high				2	V
602	Vt(lo)	Schwellspannung low		0.8			V
603	Vt(hys)	Hysterese	Vt(hys) = Vt(hi) - Vt(lo)	200	400	800	mV
604	Ipd()	Pull-Down-Strom	V() = 0.8 V	10		80	µA
605	Ipd()	Pull-Down-Strom	V() ≤ 32 V			160	µA
Spannungsüberwachung VB							
701	VBon	Einschaltsschwelle an VB1 für Unterspannungserkennung on (NER ⇒ low)	VB1 - VB2 & VB2 - VB3 & VB1 - VB3 < 0.75 V			3.95	V
702	VBoff	Abschaltsschwelle an VB1 für Unterspannungserkennung off (NER ⇒ high)	VB1 - VB2 & VB2 - VB3 & VB1 - VB3 < 0.75 V	3			V

KENNDATEN

Betriebsbedingungen: VB1...3 = 4.5...32 V, VCC = 4...5.5 V, Tj = -40...140 °C, wenn nicht anders angegeben
 Eingangsspiegel lo = 0...0.45 V, hi = 2.4 V...VCC, Bezugspegel für Zeitangaben nach Bild 1

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.	Typ	Max.	Einh.
703	VBhys	Hysterese	VBhys = VBon - VBoff	150	250		mV
Spannungsdifferenzüberwachung VB1...3							
801	$\Delta V(VBx)$	Einschaltbedingung bei Spannungsdifferenz zwischen VB1, VB2, VB3	$\Delta V(VBx) = \text{MAX}(VB1 - VB2 , VB2 - VB3 , VB1 - VB3)$ NER \Rightarrow low	0.75		1.85	V
Spannungsüberwachung VCC							
901	VCCcon	Einschaltsschwelle VCC für Unterspannungserkennung ein	NER \Rightarrow low			3.95	V
902	VCCoff	Abschaltsschwelle VCC für Unterspannungserkennung aus	NER \Rightarrow high	3			V
903	VCChys	Hysterese	VCChys = VCCcon - VCCoff	250	600		mV
Temperaturüberwachung							
A01	Toff	Abschaltemperatur		145		175	°C
A02	Ton	Wiedereinschaltemperatur		130		165	°C
A03	Thys	Temperatur-Hysterese	Thys = Ton - Toff		12		°C
Fehlerausgang NER							
B01	Vs()	Sättigungsspannung low an NER	I(NER) = 5 mA, NER = lo			0.4	V
B02	Isc()	Kurzschlussstrom low in NER	V(NER) = 2...32 V, NER = lo		12	20	mA
B03	IO()	Reststrom in NER	V(NER) = 0 V...VB, NER = hi	-10		10	μ A
B04	VCC	Versorgungsspannung VCC für NER Funktion	I(NER) = 5 mA, NER = lo, Vs(NER) < 0.4 V	2.9			V
Verzögerungszeiten							
I01	tph(E-A)	Verzögerungszeit Ex \Rightarrow Ax	DIFF = lo, CI() = 100 pF, siehe Bild 1		100	400	ns
I02	tphl(E-A)	Verzögerungszeit Ex \Rightarrow Ax	DIFF = lo, CI() = 100 pF, siehe Bild 1		100	200	ns
I03	Δ tph(Ax)	Differenz der Verzögerungszeit A1 \Rightarrow A2 , A3 \Rightarrow A4 , A5 \Rightarrow A6	DIFF = hi, CI() = 100 pF, siehe Bild 1		30	100	ns
I04	Δ tphl(Ax)	Differenz der Verzögerungszeit A1 \Rightarrow A2 , A3 \Rightarrow A4 , A5 \Rightarrow A6	DIFF = hi, CI() = 100 pF, siehe Bild 1		30	100	ns
I05	tph(ENA)	Verzögerungszeit ENA \Rightarrow Ax	Ex = hi, DIFF = lo, CI() = 100 pF, RI(Ax, GND) = 5 k Ω , siehe Bild 1		130	300	ns
I06	tphl(ENA)	Verzögerungszeit ENA \Rightarrow Ax	Ex = lo, DIFF = lo, CI() = 100 pF, RI(VB, Ax) = 100 k Ω , siehe Bild 1		100	200	ns
I07	tphl(ENA)	Verzögerungszeit ENA \Rightarrow Ax	Ex = lo, DIFF = lo, RI(VB, Ax) = 5 k Ω , siehe Bild 1		200	500	ns
I08	tphl(ENA)	Verzögerungszeit ENA \Rightarrow Ax	Ex = hi, DIFF = lo, RI(Ax, GND) = 5 k Ω , siehe Bild 1		250	500	ns
I09	tphl(DIFF)	Verzögerungszeit DIFF \Rightarrow A2, A4, A6	E1, E3, E5 = hi, CI() = 100 pF, siehe Bild 1		100	250	ns
I10	tphl(DIFF)	Verzögerungszeit DIFF \Rightarrow A2, A4, A6	E1, E3, E5 = lo, CI() = 100 pF, siehe Bild 1		130	400	ns
I11	tpll(TNER)	Verzögerungszeit TNER \Rightarrow NER	RI(VB, NER) = 5 k Ω , CI() = 100 pF, siehe Bild 1		0.5	2	μ s

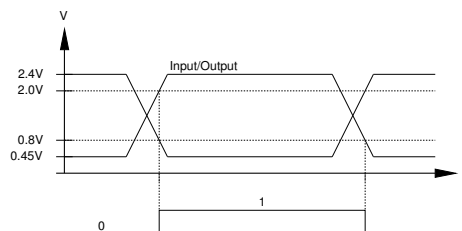


Bild 1: Bezugspegel für Zeitangaben

FUNKTIONSBESCHREIBUNG

Leitungstreiber für die Steuerungstechnik koppeln digitale Signale mit TTL- oder CMOS-Pegeln über Leitungen an 24-V-Systeme. Die maximal zulässige Signalfrequenz hängt von der kapazitiven Belastung der Ausgänge (Leitungslänge) bzw. der dadurch entstehenden Verlustleistung im iC-DL ab. Wegen möglicher Leitungskurzschlüsse sind die Treiber strombegrenzt und schalten bei Übertemperatur ab.

Die maximale Ausgangsspannung entspricht bei unbelastetem Ausgang bis auf Sättigungsspannungen der Versorgung VB. Bild 2 zeigt die typische DC-Ausgangskennlinie eines Treibers als Funktion der Last. Der differentielle Ausgangswiderstand liegt in weiten Bereichen bei typisch 75Ω .

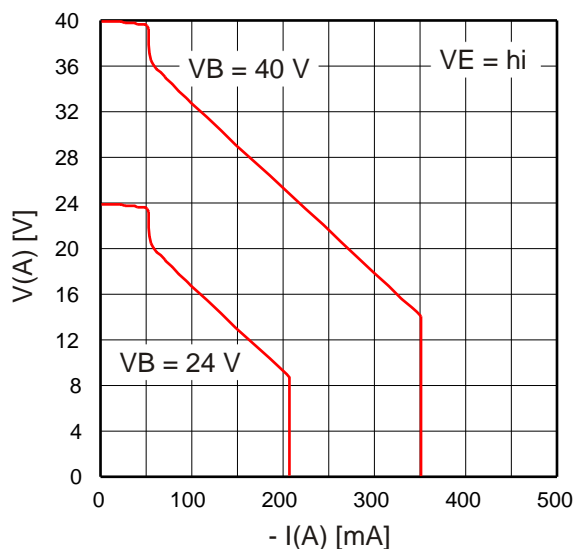


Bild 2: Lastabhängigkeit der Ausgangsspannung (High-Side-Betrieb)

Jeder unbeschaltete Eingang wird durch eine interne Pull-Down-Stromquelle auf Low-Pegel gezogen; eine zusätzliche Verschaltung mit GND erhöht die Störsicherheit. Neben den Standard-Logikpegeln TTL und CMOS können aufgrund der hohen Spannungsfestigkeit die Eingänge auch durch Anlegen von VCC- oder VB-Potential auf High-Pegel gesetzt werden.

LEITUNGSEFFEKTE

Die Datenübertragung mit 24-V-Signalen erfolgt in SPS-Systemen üblicherweise ohne einen Leitungsabschluss mit dem Wellenwiderstand. Ein fehlangepasstes Leitungsende verursacht Reflexionen, die mehrfach hin- und herlaufen, wenn auf der Treiberseite ebenfalls keine Anpassung vorliegt. Bei schnell-

len Pulsfolgen wird die Übertragung somit gestört. Im iC-DL wird hingegen die Reflexion rücklaufender Signale durch eine integrierte Wellenwiderstandsanpassung verhindert, wie Bild 3 zeigt.

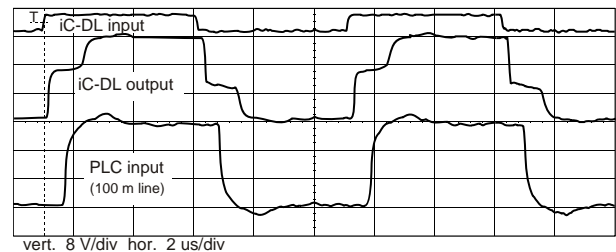


Bild 3: Reflexionen durch offenes Leitungsende

Bei einer Pulsübertragung steigt die Amplitude am Ausgang des iC-DL zunächst den halben Wert der Versorgungsspannung VB an, da der Innenwiderstand des Treibers und der Leitungswellenwiderstand einen Spannungsteiler bilden. In die Leitung wird eine Welle mit dieser Amplitude eingekoppelt, die nach einer durch die Kabellänge bedingten Verzögerung am hochohmigen Ende der Leitung eine Totalreflexion erfährt. Hier überlagern sich hin- und rücklaufende Welle, so dass sich die Spannung amplitudengemäß verdoppelt und der daran angeschlossene Baustein praktisch die volle Signalspannung empfängt.

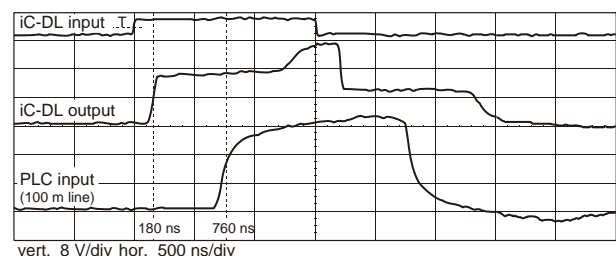


Bild 4: Pulsübertragung und Laufzeiten

Die zurücklaufende Welle hebt nach einer weiteren Verzögerung auch den Treiberausgang auf die volle Signalspannung an. Die integrierte Wellenwiderstandsanpassung im iC-DL verhindert eine erneute Reflexion, und die erreichte Spannung bleibt entlang der Leitung und am Leitungsende erhalten.

Eine Fehlanpassung zwischen dem iC-DL und der angeschlossenen Leitung beeinflusst die Höhe der ursprünglich eingekoppelten Welle und führt zu Reflexionen am Leitungsanfang. Das Ausgangssignal kann dann mehrere Abstufungen aufweisen, wobei über VB hinausgehende oder GND unterscheidene Span-

nungsspitzen durch integrierte Klemmdioden abgefangen werden. Auf diese Weise erlauben auch Leitungen mit Wellenwiderständen im Bereich von 30 bis 140 Ω einwandfreie Übertragungen.

PLATINENLAYOUT

Das *Thermal-Pad* an der Gehäuseunterseite dient zur verbesserten Abfuhr der Verlustwärme. Das Platinenlayout ist so zu gestalten, dass eine entsprechende Anzahl von Durchkontaktierungen (Vias) im Bereich des *Thermal-Pad* einen gut wärmeleitenden Pfad zur

Platinenrückseite bilden, auf der eine freie und ausreichend große (ca. 2 cm²) Kupferfläche zur Wärmeabfuhr bereitgestellt wird. Der Anschluss des *Thermal-Pad* erfolgt durch eine Lötverbindung mit der Platine. Elektrisch ist das *Thermal-Pad* mit GND zu verbinden.

Zur Glättung der lokalen iC-Versorgung sind Abblockkondensatoren mit möglichst kurzen Abständen zu den VCC, VBx- und GND-Gehäuseanschlüssen anzuschließen.

EVALUATION-BOARD

Der Baustein iC-DL im Gehäuse QFN28 wird mit einem Evaluations-Board zu Testzwecken bemustert.

Die Bilder 5 und 6 zeigen die Schaltung sowie die Oberseite der Testplatine.

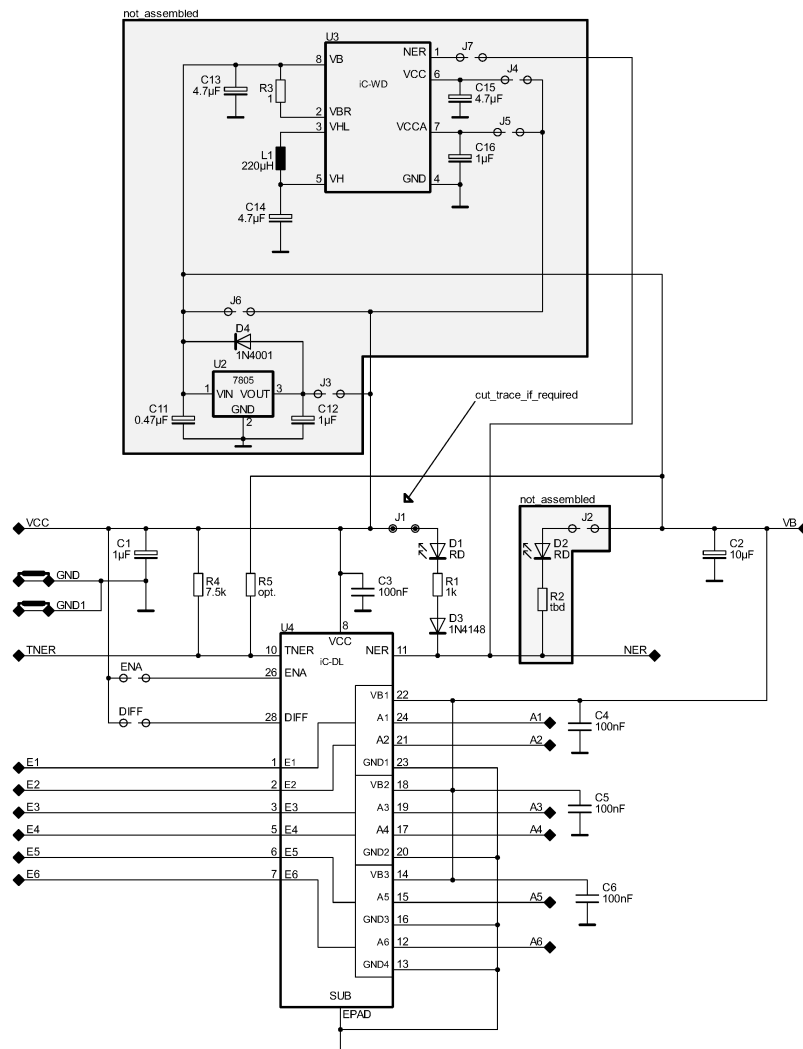


Bild 5: Schaltplan des Evaluations-Board

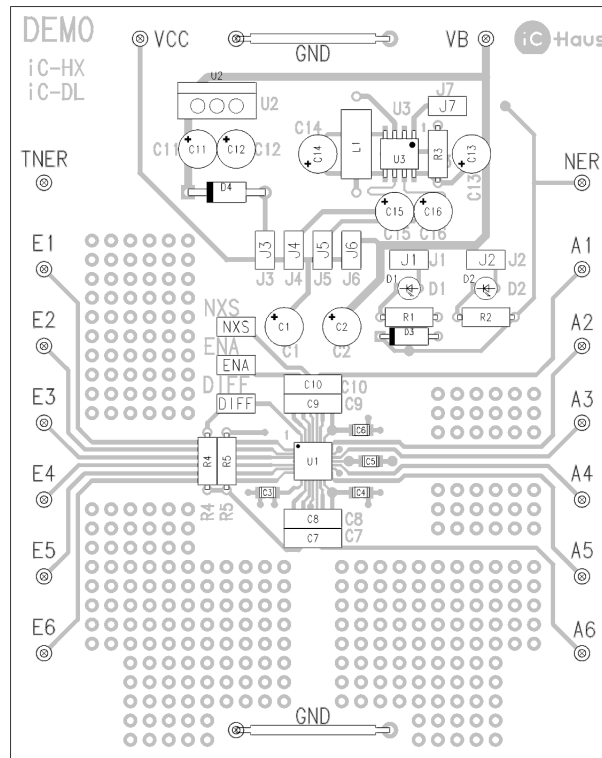


Bild 6: Evaluations-Board (Bestückungsseite)

iC-Haus behält sich ausdrücklich das Recht vor, seine Produkte und/oder Spezifikationen zu ändern. Über erfolgte Änderungen und Ergänzungen zu den jeweils aktuellen Spezifikationen im Internet auf unserer Homepage www.ichaus.de/infoletter informiert ein Infoletter, der automatisch erzeugt und als E-Mail an eingetragene Nutzer verschickt wird.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2008 und folgende, jährlich herausgegeben vom Statistischen Bundesamt, Wiesbaden, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007 und folgender.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

BESTELLINFORMATION

Typ	Gehäuse	Bestellbezeichnung
iC-DL	QFN28 5 x 5 mm ²	iC-DL QFN28
iC-DL Evaluationsboard		iC-DL EVAL DL2D

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel.: (0 61 35) 92 92-0
Fax: (0 61 35) 92 92-192
Web: <http://www.ichaus.com>
E-Mail: sales@ichaus.com

Autorisierte Distributoren nach Region: http://www.ichaus.de/sales_partners